

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

JC568 U.S. PTO
09/470982
12/23/99

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제31816호
Application Number

출원년월일 : 1999년 8월 3일
Date of Application

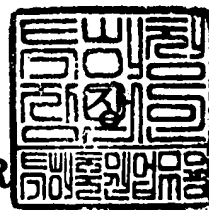
출원인 : 엘지정보통신 주식회사
Applicant(s)



1999년 8월 25일

특허청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	1999.08.03		
【국제특허분류】	H04B		
【발명의 명칭】	디지털 계위 신호의 리프레머 및 프레임 손실 검사 장치		
【발명의 영문명칭】	REFRAMER AND LOSS OF FRAME CHECK APPARATUS FOR DIGITALHIER ARCHY SIGNAL		
【출원인】			
【명칭】	엘지정보통신주식회사		
【출원인코드】	1-1998-000286-1		
【대리인】			
【성명】	안문환		
【대리인코드】	9-1998-000465-2		
【발명자】			
【성명의 국문표기】	심대혁		
【성명의 영문표기】	SHIM,Dae Hyuk		
【주민등록번호】	661206-1149619		
【우편번호】	435-050		
【주소】	경기도 군포시 금정동 772-17 성도빌라 나동 302호		
【국적】	KR		
【우선권주장】			
【출원국명】	KR		
【출원종류】	특허		
【출원번호】	10-1998-0063775		
【출원일자】	1998.12.31		
【증명서류】	첨부		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 안문환 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	36	면	36,000 원

【우선권 주장료】	1	건	26,000	원
【심사청구료】	12	항	493,000	원
【합계】			584,000	원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 디지털 계위 구조의 프레임 정렬 신호(FAS)를 이용하여 부적절한 시작점을 가지고 들어오는 프레임 데이터를 사전에 제거시켜서, 정상적인 프레임 형태로 리프레임 처리하고, 그 리프레임된 데이터의 정상여부를 연속적으로 체크하여 감시보드 및 운용자에게 프레임 손실(LOF) 상태를 자동으로 알리는 디지털 계위 신호의 리프레머 및 프레임 손실 검사장치에 관한 것이다.

이를 위하여 본 발명은, 디지털 계위 신호의 프레임 데이터에서 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 정상적인 프레임 형태로 리프레임 처리하여 출력하는 프레임 필터링 및 재정렬수단과; 상기 리프레임된 데이터로부터 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실 해제 상태를 각각 설정하여 각 설정상태 표시신호를 발생하는 LOF 선언 및 해제수단을 포함하는 것을 특징으로 한다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

디지털 계위 신호의 리프레머 및 프레임 손실 검사 장치{REFRAMER AND LOSS OF FRAME CHECK APPARATUS FOR DIGITAL HIERARCHY SIGNAL}

【도면의 간단한 설명】

도 1a는 ITU-I 권고안에 따른 E4 프레임 포맷도.

도 1b ~ 도 1c는 E4 데이터(17.408Mbps)로부터 프레임 정렬 신호(FAS) 검출하는 방식을 설명하기 하기 위한 도면.

도 1d는 본 발명에 적용되는 리프레머를 통과한 E4 프레임의 출력 형태를 보여주는 도면.

도 2는 본 발명에 따른 리프레머의 실시 블록도.

도 3a 는 도 2의 입력부의 상세 블록도.

도 3b는 도 3a의 입력데이터에 대한 출력데이터를 보여주는 테이블.

도 4는 도 2의 프레임 시작점 검출부(120), 초기값 설정부(130), 카운터(140)들간의 입력데이터에 대한 출력데이터의 관계를 설명하기 위한 테이블.

도 5a~5h는 도 2의 프레임 정렬부(150)의 입력데이터에 대한 리프레임된 출력데이터를 설명하기 위한 도면.

도 6은 본 발명에 따른 다중 채널 E4 데이터 프레임의 정렬을 동시에 수행하는 단일 칩 회로도.

도 7은 본 발명에 따른 프레임 손실(LOF) 검사 장치(300)의 실시 블록도.

도 8은 도 7의 LOF 선언부(330)에 대한 상세 블록도.

도 9는 도 8의 프레임 시작 펄스 발생부(333)에 대한 상세 블록도.

도 10은 도 7의 LOF 해제부(350)에 대한 상세 블록도.

도 11은 도 2의 리프레머와 도 7의 LOF 검사장치에 대한 단일 칩(1000) 회로도.

도 12는 본 발명에 따른 직병렬 데이터 겸용 리프레머 및 LOF검사 장치에 대한 단일 칩(2000) 회로도.

도 13은 도 12의 직렬/병렬 변환 입력부(400)에 대한 상세 블록도.

도 14는 도 12의 병렬/직렬 변환 출력부(500)에 대한 상세 블록도.

<도면 주요 부분에 대한 부호의 설명>

100: 리프레머

110: 입력부

120: 프레임 시작점 검출부

130: 초기값 설정부

140: 카운터

150: 프레임 정렬부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23> 본 발명은 고속 통신 신호 처리를 위한 디지털 계위 전송 시스템에 관한 것으로서, 더욱 자세하게는 부절적인 시작점을 갖고 들어오는 디지털 계위 데이터 프레임의 시작점을 검출하여 정상적으로 데이터로 정렬 처리하는 리프레머에 관한 것이다.

<24> 또한 본 발명은 리프레임된 디지털 계위 데이터 프레임의 정상여부를 검사하는 프레임

손실(Loss Of Frame; LOF) 검사 장치에 관한 것이다.

- <25> 현재 세계의 통신망은 예컨대, 북미계, 유럽계, 일본계와 같은 서로 다른 디지털 계위 표준을 사용하고 있다. 디지털 계위는 미국의 벨 시스템과 국제전신전화자문위원회의 전기통신표준섣터(ITU-T)가 규정한 북미식 및 유럽식의 DS-1~DS-4 계위 신호들로 구성된다. 이들 디지털 계위는 최근에 출현한 동기식 디지털 계위(SDH)와 구분짓기 위해 유사 동기식 디지털 계위(PDH)라 한다.
- <26> 북미식 유사동기식 디지털 계위(PDH)는 DS-1(1.544Mbps), DS-1C(3.152Mbps), DS-2(6.312Mbps), DS-3(44.736Mbps), DS-4E(139.264Mbps), DS-5E(564.992Mbps) 등으로 구성된다. 유럽식 유사동기식 디지털 계위는 DS-1E, DS-2E, DS-3E, DS-4E, DS-5E 등으로 구성된다.
- <27> 동기식 디지털 계위(SDH)는 이들(북미식, 유럽식)을 상호 접속하여 범세계적인 통신망 구축이 가능하도록 한 망 노드접면(NNI; Network Node Interface) 표준이다. SDH는 북미계위를 고려한 동기식 광 통신망(SONET; Synchronous Optical NETwork) 접속 표준에서 유도되어 혼용되기도 하나, 기본 전송율이나 프레임 형식에 다소 차이가 있다.
- <28> SDH 전송 시스템은 북미식 및 유럽식의 DS-1, DS2, DS-3, DS-4E, DS-3E, DS-2E, DS-1E 등의 계위 신호들을 STM-n신호로 매핑시키는 다중화 과정과, 그 반대로 역다중화 과정을 수행한다.
- <29> 이러한 SDH를 이용한 전송 장비들은 망관리에 훨씬 효과적이고, 사용자로부터 다른 사용자까지 비트 오류등의 전송 장애를 감시할 수 있는 편리한 기능을 제공한다. 뿐만 아니라 오버헤드 기능 등의 통신 규약 레벨까지의 상세한 표준화는 기능 효율을 저해하지 않으면

서 다른 장비 제공자의 제품과 혼용할 수 있도록 지원할 수 있다.

<30> 한편, 이러한 디지털 계위 전송 시스템에서는 일정한 주기를 갖는 프레임(FRAME)을 한 단위로 하여 정보를 묶어서 전송한다.

<31> ITU-T 권고안에 따르면, PDH 구조로 된 139.264Mbps급 E4(DS-4E) 프레임은 도 1a에 도시된 바와 같이, E4프레임 크기는 $488 \times 6 \text{ bits} (=61 \times 6 \text{ bytes})$ 이다. E4 프레임은 프레임의 시작위치를 알리는 12비트의 프레임 정렬 신호(Frame Alignment Signal;FAS)와 이들 뒤를 이어 1비트의 경보 지시 신호(Alarm Indication Signal;AIS)들로 구성된다. 이때, FAS의 비트값은 '111110100000'이다. AIS 비트가 '1'이면 경보상태를 나타낸다. 그 외 위치맞춤용 비트 C_{XX} , S_X , 국가별 사용비트 Z, 및 종속 정보(Tributary information) 비트들로 구성된다.

<32> 송신측에서는 프레임마다 프레임 정렬 신호(FAS)를 삽입하여 전송하고 수신측에서는 각 프레임마다 수신된 펄스열을 검사하여 프레임 정렬 신호를 검출함으로써, 프레임 시작 위치를 식별하고 정상적인 신호를 처리하게 된다.

<33> 그런데, 전원 온/오프 시 혹은 리셋시에 수신측으로 들어오는 데이터 프레임 신호는 부적절한 프레임 시작점을 가질 수가 있다. 예를 들어, 보통의 시스템 전원 투입시나 리셋시에 작게는 수십 프레임 이상의 데이터가 깨져서 프레임 동기가 맞지 않을 수 있으므로 프레임 에러를 야기시키는 문제점이 있다.

<34> 따라서, 이렇게 비정상적인 데이터가 처리되는 것을 방지하게 위해 프레임 오류를 사전에 검출하여 정상적인 데이터를 처리하고 전체적인 시스템의 안정화를 향상시키는 장비가 요구되는 바이다.

【발명이 이루고자 하는 기술적 과제】

- <35> 이에 본 발명은 상기와 같은 문제점을 해결하고 필요성을 충족시키기 위해 안출된 것이다.
- <36> 본 발명의 제 1목적은 디지털 계위 구조의 프레임 정렬 신호(FAS)를 이용하여 부적절한 시작점을 가지고 들어오는 프레임 데이터를 사전에 제거시켜서, 정상적인 리프레임 처리를 수행하는 디지털 계위 신호의 리프레머를 제공하는 데 있다.
- <37> 본 발명의 제 2목적은 디지털 계위 구조의 프레임 정렬 신호(FAS)를 이용하여 리프레임된 데이터의 정상여부를 체크하여 감시보드 및 운용자에게 프레임 손실(LOF) 상태를 알리는 디지털 계위 신호의 LOF 검사장치를 제공하는 데 있다.
- <38> 본 발명의 제 3목적은 디지털 계위 구조의 프레임 정렬 신호(FAS)를 이용하여 부적절한 시작점을 가지고 들어오는 프레임 데이터를 사전에 제거시켜서 리프레임 처리를 수행함과 동시에 상기 리프레임된 데이터의 정상여부를 체크하여, 감시보드 및 운용자에게 프레임 손실(LOF) 상태를 알리는, 단일 칩화 된 디지털 계위 신호의 리프레머 및 LOF 검사 장치를 제공하는 데 있다.
- <39> 본 발명의 제 4목적은 직렬 혹은 병렬 형태의 두 입력 데이터 각각에 대하여 그 형태에 관계없이 디지털 계위 구조의 프레임 정렬 신호(FAS)를 이용하여 부적절한 시작점을 가지고 들어오는 프레임 데이터를 사전에 제거시켜서 리프레임 처리를 수행함과 동시에 상기 리프레임된 데이터의 정상여부를 체크하여, 감시보드 및 운용자에게 프레임 손실(LOF) 상태를 알리고, 상기 리프레임된 데이터를 직렬 혹은 병렬 형태로 자유롭게 선택하여 출력할 수 있는, 단일 칩화 된 디지털 계위 신호의 리프레머 및 LOF 검사장치를 제공하는 데에 있다.

- <40> 상기와 같은 제 1목적을 달성하기 위하여, 본 발명의 일 실시예에서는, 디지털 계위 신호의 프레임 데이터에서 정의된 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 정상적인 리프레임된 데이터를 출력하는 프레임 필터링 및 재정렬수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머를 제공한다.
- <41> 상기와 같은 제 2목적을 달성하기 위하여, 본 발명의 다른 실시예에서는, 디지털 계위 신호의 리프레임된 데이터로부터 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실 해제 상태를 각각 설정하여 각 설정상태 표시신호를 발생하는 LOF 선언 및 해제수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 프레임손실(LOF) 검사장치를 제공한다.
- <42> 상기와 같은 제 3목적을 달성하기 위하여, 본 발명의 또 다른 실시예에서는, 디지털 계위 신호의 프레임 데이터에서 정의된 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 리프레임된 데이터를 출력하는 프레임 필터링 및 재정렬수단; 상기 리프레임된 데이터로부터 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실 해제 상태를 각각 설정하여 각 설정상태 표시신호를 발생하는 LOF 선언 및 해제수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머 및 LOF 검사장치를 제공한다.
- <43> 상기와 같은 제 4목적을 달성하기 위하여, 본 발명의 또 다른 실시예에서는, 직렬 형태

의 입력 데이터를 병렬 데이터로 변환하고, 그 변환된 병렬 데이터와 병렬 형태의 입력 데이터 중의 하나를 선택 입력받는 직/병렬 변환 및 입력 선택수단; 디지털 계위 신호의 프레임 데이터에서 정의된 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 리프레임된 데이터를 출력하는 프레임 필터링 및 재정렬 수단; 상기 리프레임된 데이터로부터 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실 해제 상태를 각각 설정하여 각 설정상태 표시신호를 발생하는 LOF 선언 및 해제수단; 상기 리프레임된 데이터를 직렬 형태로 변환하고, 그 변환된 직렬 데이터와 상기 리프레임된 데이터 중의 하나를 선택 출력하는 병/직렬 변환 및 선택 출력수단을 포함하는 것을 특징으로 디지털 계위 구조의 리프레머 및 LOF 검사장치를 제공한다.

【발명의 구성 및 작용】

<44> 이하에서, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다. 하기 설명 및 첨부된 도면에서 특정된 상세들은 본 발명의 이해를 돕기 위해 제공된 것으로 본 발명은 이에 한정되지 않고 이 기술분야에서 통상의 지식을 가진자가 용이하게 변형 및 변경하여 다양하게 실시할 수 있다.

<45> 본 실시예는 북미 유럽 전송 장비에 적용되는 신호 레벨 중 종속단에 속한 E4(DS-4E)신호를 처리하는 리프레머 및 LOF 검사장치를 구현한 것이다. 본 실시예는 E4에 한하여 설명하나 E4구조와 동일 또는 유사한 다른 신호구조에서도 본 발명의 방식과 동일 또는 유사하게 적용되어 리프레임 및 LOF 검사를 수행할 수 있다는 것은 자명하다.

<46> 먼저, 도 1a 내지 도 1d를 참조하여, 본 발명에 적용되는 E4 프레임의 시작점 검출 방

법 및 리프레머를 통과한 후의 E4 프레임의 정상적인 흐름을 설명한다.

- <47> 도 1a에서, E4 프레임의 시작점 검출 패턴은 ITU-T 참조 G.751에 규정된 바와 같이, 12비트의 프레임 정렬 신호(FAS) '11111010000'를 사용한다.
- <48> 실제로, 이 12개의 검사 패턴은, 소정의 규칙에 의해 결정된다. 예를 들어, 139.264Mbps급 E4 프레임이 17.408Mbps 바이트 클럭 단위로 들어오는 경우에는, 도 1b에서와 같이, 19개 비트중 12개씩을 하나의 그룹으로 묶어 모두 8개의 검사 그룹(G1~G8)을 형성한다. 즉, 그룹 G1은 비트1~12, 그룹G2는 비트2~13, 그룹G3은 비트3~14, ..., 그룹 G8은 비트8~19로 구성된다.
- <49> 이들 8개 그룹(G1~G8)의 각 12비트를 도 1c의 E4 프레임의 시작점 검출 회로에 통과시켜 그룹중의 12개 비트열이 '11111010000'를 만족하면, 도 1c 회로의 출력 결과는 논리 '하이'값을 갖는다. 시작점 검출 출력값이 논리 '하이'일 때 해당 그룹의 첫 번째 비트가 바로 프레임 시작점이 되는 것이다.
- <50> 도 1d는 본 발명에 적용되는 리프레머를 통과한 E4 프레임의 출력 형태를 보여주는 도면이다. 1바이트씩(8비트) 들어오는 E4 데이터가 리프레머를 통과한 후 프레임의 흐름 형태는 반드시 헥사값으로 FA, 00, ..., F9, FA, ... 순이 되어야 한다.
- <51> 본 발명의 실시예에 따른 리프레머는 상기의 방식에 따라 부적절한 시작점을 갖고 들어오는 E4 데이터의 프레임 시작점을 검출하고, 그 프레임 시작점으로부터 정상적인 데이터를 처리하여 동기가 맞는 데이터만을 다음 장비로 제공한다.
- <52> 이제, 도 2내지 도 5를 참조하여 본 발명에 따른 리프레머의 실시예를 설명한다.
- <53> 도 2는 본 발명에 따른 리프레머의 실시 블록도이다.

- <54> 도 2에서, 리프레머(100)는 입력부(110), 프레임 시작점 검출부(120), 초기값 설정부(130), 카운터(140), 프레임 정렬부(150)로 구성된다. 각 구성부는 리셋신호(RST)와 17M 바이트 클럭(CLK17M)에 의해 동작한다. 각 구성부는 VHDL언어와 같은 고급 하드웨어 설계 언어로 구현하였다.
- <55> 상기 입력부(110)는 17M클럭(CLK17M)에 따라 바이트(8비트) 단위로 들어오는 E4 입력 데이터(I_DATA[7:0])를 시프팅시켜 9개의 바이트 데이터(B9)를 병렬로 출력하여 상기 프레임 정렬부(150)로 제공한다.
- <56> 또한 상기 입력부(110)는, 상기 프레임 정렬 신호(12비트: '11111010000') 패턴을 검사하기 위해서, 상기 9개 병렬 데이터(B9) 중에서 검사하고자 하는 19개 비트(BIT19)들을 순서대로 매핑하여 상기 프레임 시작점 검출부(120)로 제공한다.
- <57> 상기 프레임 시작점 검출부(120)는, 도 1b 및 1c에서와 같이, 상기 입력부(110)로부터 제공된 19개 비트(BIT 19)를 순서대로 12비트씩 그룹화하여 프레임 시작점 검사 패턴(G1~G8)을 형성하여 프레임 정렬 신호 패턴을 검출하고, 그 검출한 프레임 시작점 검출 값(DETEC[7:0])을 상기 초기값 설정부(130)로 제공한다.
- <58> 상기 초기값 설정부(130)는 상기 프레임 시작점 검출 값(DETEC[7:0])에 의존하여 프레임 데이터 손실에 해당하는 모든 경우를 조사하기 위한 상기 카운터(140)의 초기값(INIT[2:0])을 설정하고, 상기 카운터(140)를 구동시키기 위한 인에이블 신호(CNT_ENA)를 발생한다.
- <59> 상기 카운터(140)는 상기 카운터 인에이블 신호(CNT_ENA)에 따라 상기 설정된 초기값(INIT[2:0])부터 카운팅을 시작하여 그 카운트 값(CNT[2:0])을 프레임 정렬부

(150)로 제공한다.

<60> 상기 프레임 정렬부(150)는 상기 프레임 시작점 검출부(120)의 프레임 시작점 검출 값(DETEC[7:0]) 및 상기 카운터(140)의 카운트 값(CNT[2:0])에 따라서, 상기 입력부(110)로부터 제공된 9개의 바이트 데이터(B9)를 검사하여 부적절한 시작점을 갖는 데이터를 필터링하여 제거하고 정상적인 프레임 형태로 리프레임된 데이터(O_REFR_DATA[7:0])를 출력한다.

<61> 이하, 도 2의 각 구성부의 작용을 도 3a 내지 도 5를 참조하여 설명한다.

<62> 도 3a 는 도 2의 입력부(110)의 상세 블록도이고, 도 3b는 도 3a의 입력데이터에 대한 출력데이터를 보여주는 테이블이다.

<63> 도 3a를 참조하면, 상기 입력부(110)는 9개의 바이트 데이터를 병렬 출력하기 위한 B9 시프팅부(111)와, 프레임 시작점을 검사하기 위한 프레임 정렬 신호 검사 패턴을 매핑시키는 부분(112,113,114)으로 구성된다. 여기서, 상기 매핑부분은 B8 시프팅부(112)와, BIT19 그룹핑부(113) 및 BIT19 선택부(114)로 구성된다.

<64> 상기 B9 시프팅부(111)는 17Mbps E4 병렬 데이터(I_DATA[7:0])를 바이트 단위로 입력받아, 3비트 8카운터를 사용하여 한 클럭씩 입력 데이터를 시프팅 시키면서 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0], i[7:0] 순서대로 9개의 바이트 데이터(B9)를 병렬로 출력한다.

<65> 상기 B8 시프팅부(112)는 17Mbps E4 병렬 데이터(I_DATA[7:0])를 바이트 단위로 입력받아, 3비트 7카운터를 사용하여 한 클럭씩 입력 데이터를 시프팅 시키면서 순차적으로 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0]의 형태의 8개의 바이

트 데이터를 병렬 출력한다.

<66> 상기 BIT19 그룹핑부(113)는 상기 B8 시프팅부(112)의 출력을 소정의 규칙에 따라 19비트씩 매핑시켜 3개 그룹(D1~D5, D6~D10, D11~D15)으로 형성하여 출력한다.

<67> 상기 BIT19 선택부(114)는 선택신호(SEL)에 따라 상기 BIT19 그룹핑부(113)의 3그룹을 차례로 선택하여 출력한다. 여기서, 상기 선택신호(SEL)는 17M클럭을 카운트하는 3카운터로부터 제공된다.

<68> 한편, 상기 B9시프팅부(111)의 9바이트 데이터(B9)는 다음 단의 상기 프레임 정렬부(150)로 제공된다. 여기서, B9시프팅부(111)의 8카운터의 값이 '000'부터 '111'까지 증가되면서 'a[7:0]'부터 'h[7:0]'까지 순서대로 병렬 출력되고, 8카운터의 값이 '111'이고 캐리값이 '하이'가 될 때 9번째 바이트 'i[7:0]'가 출력되도록 한다. 즉, 도 3b에서와 같이, 매 주기마다 바이트 단위로 시프팅 되면서 순차적으로 9개 바이트가 병렬 출력된다. 그리고, 9번째 바이트 'i[7:0]'는 다음 주기의 첫번째 바이트 출력과 동일한 값을 갖도록 한다. 이렇게 하는 이유는 데이터를 잃어버리지 않고 해당 데이터에 대한 검사 패턴을 연속적으로 추출하고 조사하기 위함이다.

<69> 이제, 상기 프레임 정렬 신호 검사 그룹 매핑부분(112,113,114)에서, 상기 B8 시프팅부(112)는 8클럭동안 입력된 바이트 데이터를 시프팅시켜 8바이트 데이터('a[7:0]'부터 'h[7:0]')(64비트)를 병렬 출력한다.

<70> 상기 BIT19 그룹핑부(113)에서는 상기 B8 시프팅부(112)에서 출력된 8바이트 데이터를 입력받아 순서대로 19비트씩 그룹핑하여 제1그룹(D1~D5), 제2그룹(D6~D10), 제3그룹(D11~D15)(총 57비트)으로 각각 맵핑시킨다.

<71> 상기 BIT19 선택부(114)에서는 선택신호(SEL)에 따라 제1,2,3그룹을 차례대로 선택하여 해당 19비트를 출력하여 상기 프레임 시작점 검출부(120, 도 2참조)로 제공한다.

<72> 예를 들어, 상기 BIT19 그룹핑부(113)의 제1그룹(D1~D5) 매핑규칙은 하기 표 1과 같고, 제2,3그룹 매핑 규칙도 동일하게 적용된다.

<73> 【표 1】

주기	입력 ----> 제1그룹 (19비트)	주기	입력 ----> 제1그룹 (19비트)
1	a[7:3] ---->D1[4:0]	2	b[7:3] ---->D1[4:0]
	a[2:0] ---->D2[2:0]		b[2:0] ---->D2[2:0]
	b[7:3] ---->D3[4:0]		c[7:3] ---->D3[4:0]
	b[2:0] ---->D4[2:0]		c[2:0] ---->D4[2:0]
	c[7:5] ---->D5[2:0]		d[7:5] ---->D5[2:0]

<74> 상기 표 1에서와 같이 제1그룹(D1~D5): D1[4:0], D2[2:0], D3[4:0], D4[2:0], D5[2:0]으로 주어질 때,

<75> i) 한 주기에서 D1[4:0]은 입력a[7:3]로부터, D2[2:0]은 입력a[2:0]로부터, D3[4:0]은 입력b[7:3]로부터, D4[2:0]는 입력b[2:0]로부터, D5[2:0]는 입력c[7:5]로부터 맵핑되고,

<76> ii) 다음 주기에서 D1[4:0]은 입력b[7:3]로부터, D2[2:0]은 입력b[2:0]로부터, D3[4:0]은 입력c[7:3]로부터, D4[2:0]는 입력c[2:0]로부터, D5[2:0]는 입력d[7:5]로부터 맵핑된다.

<77> 이렇게 첫 번째 출력(a[7:0])이 끝난 다음부터 바로 두 번째 출력(b[7:0])이 D1[4:0]에 매핑되는 동작을 반복적으로 수행하게 된다. 그러면, 한 주기 동안 입력 64비트중 57비트를 검사하게 되고 64비트중 나머지 검사되지 않은 7개를 포함한 비트는 다음 주기에서 반

복적으로 검사하게 되므로 문제가 되지 않는다.

- <78> 다시 도 2를 참조하여, 상기 프레임 시작점 검출부(120)는 상기 입력부(110)의 검사 그룹 19비트(D1[4:0], D2[2:0], D3[4:0], D4[2:0], D5[2:0])를 입력으로 받아서 정의된 프레임 정렬 신호(FAS)('111110100000')를 검출한다.
- <79> 이 때, 상기 프레임 시작점 검출부(120)는, 도 1a 내지 도 1c 에서 설명한 바와 같이, 검사 그룹 19비트(BIT19)를 순서대로 12비트씩 묶어서 8개의 프레임 정렬 검사 패턴(G1~G8)을 만들어서 FAS가 검출될 때까지 시작점 검출 과정을 반복적으로 수행한다.
- <80> 프레임 시작점이 검출되기 전까지는 입력되는 모든 8비트(G1~G8의 첫 번째 비트)가 시작점이 될 수 있다.
- <81> 만약 프레임 시작점이 검출되면, 리셋이나 전원이 온 오프가 없는 한 더 이상의 작동 없이 그 값을 계속 유지하게 한다.
- <82> 이러한 FAS='111110100000' 값의 검출이 중요한 이유는 바로 이 시점부터 프레임 데이터가 시작되기 때문이다. 그리고, FAS(12bits) 다음의 13번째 비트는 이 프레임 데이터가 경보상태인지 아닌지를 구분해주는 AIS(Alarm Indication Signal)이기 때문에 더 중요하다(ITU-T G753,751,754 참조).
- <83> 상기 프레임 시작점 검출부(120)는 8개의 프레임 정렬 검사 패턴(G1~G8, 도 1b참조)을 조사하여 프레임 정렬 신호(FAS='111110100000')를 검출했을 때 각 패턴에 해당하는 검출 신호값(DETEC[7:0])을 출력한다.
- <84> 이 프레임 시작점 검출값(DETEC[7:0])은, 도 4의 테이블에 정의되어 있는 바, FAS가 몇 번째 비트부터 시작되는 지를 지시해준다. 즉, 이 검출값(DETEC[7:0])은 프레임 시

작점을 지시해 주는 것이고, 상기 초기값 설정부(130)와 상기 프레임 정렬부(150)의 인에이블 신호로 제공된다.

- <85> 상기 초기값 설정부(130)는 상기 프레임 시작점 검출부(120)의 검출값(DETEC[7:0]), 즉 프레임 시작점을 입력받아 그 시작점으로부터의 리프레임된 출력을 유도하기 위한 새로운 카운터(카운터부140)의 초기값(INIT[2:0])을 설정해준다. 즉, 리프레임된 출력 데이터의 시작 비트를 결정해주는 부분이다.
- <86> 또한, 상기 초기값 설정부(130)는 상기 카운터부(140)를 구동시키기 위한 인에이블 신호(CNT_ENA)를 출력한다. 상기 프레임 시작점 검출값(DETEC[7:0])에 따른 초기값(INIT[2:0]) 및 카운터(140)의 출력값은 도 4의 테이블에 나타내었다.
- <87> 이제, 도 4를 참조하여, 프레임 시작점 검출부(120), 초기값 설정부(130) 및 카운터(140)의 동작을 설명한다.
- <88> 상기 프레임 시작점 검출부(120)에서 8개의 프레임 정렬 검사 패턴(G1~G8)으로 FAS의 시작점을 검출하여 프레임 시작점 검출 값(DETEC[7:0])을 초기값 설정부(130)로 출력하고, 이 초기값 설정부(130)에서는 카운터부(140)로 카운터 초기값(INIT[2:0])을 제공함으로써, 카운터부(140)에서는 프레임 시작점 검출값(DETEC[7:0])에 따라 리프레임된 데이터를 출력하기 위해 새로운 카운팅을 시작한다.
- <89> ① 검사패턴G1에서 FAS가 검출된 경우(즉, 들어오는 1번째 비트가 프레임 시작점):
- <90> FAS검출='HIGH', DETEC[7:0]='10000000', INIT[2:0]='000',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 000, 001, 010, 011, 100, 101, 110, 111, 000, 001,...로 계속해서 카운팅한다.

<91> ② 검사패턴G2에서 FAS가 검출된 경우(즉, 들어오는 2번째 비트가 프레임 시작점):

<92> FAS검출='HIGH', DETEC[7:0]='01000000', INIT[2:0]='001',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 001, 010, 011, 100, 101, 110, 111,
000, 001, 010,...로 계속해서 카운팅한다.

<93> ③ 검사패턴G3에서 FAS가 검출된 경우(즉, 들어오는 3번째 비트가 프레임 시작점):

<94> FAS검출='HIGH', DETEC[7:0]='00100000', INIT[2:0]='010',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 010, 011, 100, 101, 110, 111, 000,
001, 010, 011,...로 계속해서 카운팅한다.

<95> ④ 검사패턴G4에서 FAS가 검출된 경우(즉, 들어오는 4번째 비트가 프레임 시작점):

<96> FAS검출='HIGH', DETEC[7:0]='00010000', INIT[2:0]='011',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 011, 100, 101, 110, 111, 000, 001,
010, 011, 100,...로 계속해서 카운팅한다.

<97> ⑤ 검사패턴G5에서 FAS가 검출된 경우(즉, 들어오는 5번째 비트가 프레임 시작점):

<98> FAS검출='HIGH', DETEC[7:0]='00001000', INIT[2:0]='100',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 100, 101, 110, 111, 000, 001, 010,
011, 100, 101,...로 계속해서 카운팅한다.

<99> ⑥ 검사패턴G6에서 FAS가 검출된 경우(즉, 들어오는 6번째 비트가 프레임 시작점):

<100> FAS검출='HIGH', DETEC[7:0]='00000100', INIT[2:0]='101',
CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 101, 110, 111, 000, 001, 010, 011,
100, 101, 110,...로 계속해서 카운팅한다.

- <101> ⑦ 검사패턴G7에서 FAS가 검출된 경우(즉, 들어오는 7번째 비트가 프레임 시작점):
- <102> FAS검출='HIGH', DETEC[7:0]='00000010', INIT[2:0]='110',
 CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 110, 111, 000, 001, 010, 011, 100,
 101, 110, 111,...로 계속해서 카운팅한다.
- <103> ⑧ 검사패턴G8에서 FAS가 검출된 경우(즉, 들어오는 8번째 비트가 프레임 시작점):
- <104> FAS검출='HIGH', DETEC[7:0]='00000001', INIT[2:0]='111',
 CNT_ENA='HIGH'으로 세팅되고, 카운터(140)는 111, 000, 001, 010, 011, 100, 101,
 110, 111, 000,...로 계속해서 카운팅한다.
- <105> 상기 초기값 설정부(130)에서는, 검출된 프레임 시작점에 따라 초기값(INIT[2:0])이
 설정됨과 동시에, 카운터 인에이블 신호(CNT_ENA)는 논리'하이'로 활성화된다. 그 외 경
 우에는 CNT_ENA는 논리'로우'를 갖는다.
- <106> 여기서, 상기 카운터(140)는 8개의 검사 패턴을 구분하기 위해 8번 이상을 카운트하
 는 카운터이기만 하면 족하다. 실제로 상기 카운터(140)는 '0'부터 '7'까지를 카운팅하는 3
 비트 카운터로 구현되었고, 상기 카운터 인에이블 신호(CNT_ENA)에 따라 상기 설정된 초
 기값(INIT[2:0])부터 카운팅을 시작한다. 그 카운트 값(CNT[2:0])은 초기값
 (INIT[2:0])부터 시작하여 '111'(7)까지 카운팅하고 다시 '000'(0)부터 1씩 증가하면서 반
 복적으로 카운팅하여 얻어진다. 결국, 상기 카운트 값(CNT[2:0])은 상기 프레임 정렬부
 (150)로 제공되어, 프레임의 시작점으로부터 몇 개의 비트가 비정상적인 데이터인지를 결정
 하는데 사용된다.
- <107> 이제, 상기 프레임 정렬부(150)는 상기 프레임 시작점 검출부(120)의 검출 신호 값

(DETEC)에 의해 9개의 병렬입력데이터(B9)로부터 프레임이 시작하는 비트를 알아내고, 및 상기 카운터(140)의 카운트 값(CNT[2:0])에 따라서 상기 입력부(110)로부터 입력되는 병렬 데이터(B9: a,b,c,d,e,f,g,h,i)를 검사하여, 부적절한 비정상적인 출발점을 갖고 들어오는 데이터 비트를 제거한다.

<108> 이런 식으로, 상기 프레임 정렬부(150)에서는 비정상적인 비트들을 제거시키고 정상적인 프레임 시작점부터 리프레임된 데이터 스트림(O_REFR_DATA[7:0])을 출력한다.

<109> 한편, 상기 프레임 정렬부(150)는 상기 프레임 시작점 검출값(DETEC[7:0])이 '10000000', '01000000', '00100000', '00010000', '00001000', '00000100', '00000010', '00000001' 이외의 값을 갖는 경우에, 출력 데이터(O_REFR_DATA[7:0])는 '00000000'을 갖는다.

<110> 이제, 검출 신호값(DETEC[7:0])에 따른 8가지 경우에 대한 상기 프레임 정렬부(150)의 출력 데이터 형태를 도 5a~5h를 참조하여 설명한다.

<111> 도 5a에서, DETEC[7:0]='10000000', INIT[2:0]='000'인 경우: 입력데이터 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0], i[7:0] 들은 바이트 클럭에 따라 a[7:0]부터 순차적으로 O_REFR_DATA[7:0]에 맵핑되어 출력된다.

<112> 도 5b에서, DETEC[7:0]='01000000', INIT[2:0]='001'인 경우: 입력데이터의 첫 번째 비트를 버리고, 다음 비트부터 하나의 바이트로 매핑시켜 바이트 클럭에 따라 O_REFR_DATA[7:0]를 출력한다.

<113> 도 5c에서, DETEC[7:0]='00100000', INIT[2:0]='010'인 경우: 입력데이터의 두 비트를 버리고, 다음 비트부터 하나의 바이트로 매핑시켜 바이트 클럭에 따라

O_REFR_DATA[7:0]를 출력한다.

- <114> 도 5d내지 도 5h에서도 상기와 마찬가지로 DETEC와 INIT값에 따라 동기가 맞지 않는 비트수 만큼을 버리고 다음 비트부터 바이트 단위로 출력하게 된다.
- <115> 즉, 도 5d에서, DETEC[7:0]='00010000', INIT[2:0]='011'인 경우에는 입력데이터의 세 비트를 버린다. 도 5e에서, DETEC[7:0]='00001000', INIT[2:0]='100'인 경우에는 네 비트를 버린다. 도 5f에서, DETEC[7:0]='00000100', INIT[2:0]='101'인 경우에는 다섯 비트를 버린다. 도 5g에서, DETEC[7:0]='00000010', INIT[2:0]='110'인 경우에는 여섯 비트를 버린다. 도 5h에서, DETEC[7:0]='00000001', INIT[3:0]='111'인 경우에는 일곱 비트를 버린다.
- <116> 이렇게, 도 5b 내지 도 5h 에서와 같이 해당 비트 수만큼을 버리는 것은, 보통의 시스템 전원 투입시 혹은 리셋시에 작게는 10프레임 이상의 데이터가 깨져서 동기가 맞지 않는 상태로 들어오기 때문에 비정상적인 출발점을 갖는 데이터를 다음단(장비)에서 처리하지 않도록 하기 위함이다.
- <117> 다시 도 3b의 예제 테이블로 돌아가서, 프레임 정렬 신호(FAS='111110100000')가 e[3:0]와 f[7:0]에서 존재함을 검출할 수 있다. 그러면, DETEC[7:0]='00001000'이 되고, INIT[2:0]='100'이 되고, CNT[2:0]은 리셋 후 첫 번째 출력으로부터 순차적으로, '100, 101, 110, 111, 000, 001, 010, 011, 100, 101,...'을 반복한다.
- <118> 그리고, 도 5e에서와 같이 처음 네 비트를 제거하고, 그 다음 비트부터 8 비트단위로 잘라서 바이트 클럭에 따라 출력하게 되면, 동기가 맞는 정상적인 정렬된 프레임 데이터를 출력하게 된다.

- <119> 예를 들어, 정상적으로 동기가 맞은 139.264Mbps 데이터일 경우 1비트를 뺀 나머지 비트들이 모두 깨져서 들어올 수 있으므로 버려져야 하고, 동기가 맞지 않은 데이터일 경우 10프레임이상이 동기가 맞을 때까지 계속해서 버려질 수 있다
- <120> 이상과 같은 처리 과정을 수행하는 본 리프레머(100)에 의하면, 프레임 시작점을 찾아 내서 정상적인 데이터로 정렬시켜 다음 단으로 제공해 줌으로써, 경보발생을 사전에 제거할 수 있다. 만일, 리프레머를 통하지 않고 입력데이터가 그대로 처리된 다면 데이터의 시작점 및 해석 자체가 불가능할 것이다.
- <121> 본 발명의 더 바람직한 실시예에 있어서, 복수개의 리프레머(100)를 병렬구조로 배치 하여 단일 칩으로 구현함으로써, 복수개의 채널 STM-n 급 신호를 동시에 처리할 수 있다.
- <122> 예컨대, 4 채널 E4 신호 즉, STM-1급(155.520Mbps)신호를 동시에 처리하는 4장의 카드를 채용하여 하나의 단일 칩으로 설계될 수 있으며, 더 확장하여 STM-4(622Mbps), STM-16(2.5Gbps), 및 STM-64(10Gbps)의 처리 능력을 갖도록 설계될 수 있다.
- <123> 도 6을 참조하면, 본 칩(600)은 4채널 E4 병렬 데이터 리프레임을 동시에 수행하는 4개의 리프레머(610), 리프레머(611), 리프레머(612), 리프레머(613)를 구비한다.
- <124> 각 리프레머(610,611,612,613)는 도 2의 본 회로(100)와 동일한 구성을 갖고 동일한 작용을 수행한다. 즉, 각 채널의 입력데이터(I_CHi_DATA[7:0])를 입력받아 프레임 시작점을 검출하고 그 시작점으로부터 카운팅하여 부적절한 출발점을 갖는 데이터를 제거시킴으로써, 정상적인 출력 데이터(O_CHi_DATA[7:0])를 다음단으로 제공한다.
- <125> 본 발명의 다른 실시예로서, 리프레임된 데이터를 계속적으로 감시하여 프레임 손실

선언 및 해제를 자동으로 감지하는 프레임 손실(LOF) 검사 장치를 구현할 수 있다.

<126> 이러한 프레임 손실 검사 장치는, 정상적인 리프레임된 데이터가 입력되어 정상동작하다가 열 또는 과다 전류로 인한 IC 오동작(여러가지 에러발생 환경요인)으로 인해 비정상적인 리프레임된 데이터가 전송되는 문제를 해결할 수 있다. 즉, 상기 프레임 손실 검사 장치는 현재 시스템에 정상적인 또는 비정상적인 데이터가 흐르는지를 자동으로 감지하여 사용자 및/혹은 감시보드(main process board)에 통보함으로써, 시스템관리자로 하여금 즉각적인 에러발생원인 및 문제점을 해결할 수 있도록 하는 이점이 있다.

<127> 도 7은 본 발명에 따른 프레임 손실(LOF) 검사 장치(300)의 실시 블록도이다.

<128> 도 7에서, LOF 검사장치(300)는 FAS검출부(310), LOF선언부(330), LOF해제부(350) 및 LOF결정부(370)로 구성된다. 각 구성부는 리셋신호(RST)와 17M클럭(CLK17M)에 의해 동작한다. 각 구성부는 VHDL언어와 같은 고급 하드웨어 설계 언어로 구현하였다.

<129> 상기 FAS 검출부(310)는 리프레임된 데이터(REFR_DATA[7:0])를 입력받아 프레임 시작 펄스 위치에서 입력되는 첫 바이트가 '11111010'인지를 조사하여 LOF 해제 인에이블(RECV_ENA) 또는 LOF 선언 인에이블(LOF_ENA)을 출력한다.

<130> 상기 LOF 선언부(330)는 리프레임된 데이터(REFR_DATA[7:0])가 계속해서 일정 프레임 이상(예를 들어, 4프레임 이상) 프레임 시작 펄스 위치에서 '11111010'이 입력되지 않는 지를 조사하여 LOF 선언신호(DECL_LOF)를 출력한다.

<131> 상기 LOF 해제부(350)는 상기 FAS검출부(310)와 상기 LOF선언부(330)의 출력을 입력받아, LOF선언상태에서 들어오는 데이터가 계속해서 일정프레임이상(예를 들어, 3프레

임이상) 프레임 시작 펄스위치에서 '11111010'값이 입력되는지를 조사하여 LOF 해제신호 (RECV_LOF)를 출력한다.

<132> 상기 LOF결정부(370)는 상기 LOF선언부(330)와 상기 LOF해제부(350)의 출력을 입력받아 최종적인 LOF 상태신호(LOF_STATE)를 출력한다.

<133> 도 8은 도 7의 LOF 선언부(330)에 대한 상세 블록도이고, 도 9는 도 8의 프레임 시작 펄스 발생부(333)에 대한 상세 블록도이다

<134> 도 8에서, LOF선언부(330)는 서브프레임카운터(331), 프레임 시작 펄스 발생부(333), 제1카운팅부(335) 및 제1출력부(336)로 구성된다. 도 9에서, 상기 프레임 시작 펄스 발생부(333)는 프레임 카운터(333-1)와 AND게이트(333-2)로 구성된다.

<135> 상기 서브프레임카운터(331)는 17M클럭(CLK17M)에 따라 서브프레임 길이(즉, 단위 프레임의 column 길이) 61바이트를 카운트하여 그 결과(CNT61)를 출력한다.

<136> 상기 프레임 시작 펄스 발생부(333)는, 도 9에 도시된 바와 같이, 상기 프레임 카운터(333-1)가 상기 서브프레임 카운터(331)의 CNT61[5:0]을 입력받아 6개의 서브프레임(즉, 단위 프레임의 6개 로우(row))을 카운트하여 그 결과(CNT6)를 출력한다.

<137> 그리고 AND게이트(333-2)는 CNT61과 CNT6의 비트값을 논리 조합하여 매 프레임마다 프레임 시작 펄스 신호(FRM_START)를 발생시켜 상기 LOF 검사장치(300)의 상기 FAS검출부(310)로 제공한다.

<138> 이렇게 하여, 상기 FAS검출부(310)는 매 프레임시작펄스신호(FRM_START)가 '하이'로 될 때마다 프레임시작위치에서 입력되는 첫 번째 바이트를 조사하게 되는 것이다.

<139> 상기 제1카운팅부(335)는 리프레임된 데이터(REFR_DATA[7:0])와 상기 LOF해제

부(350)의 카운트 값(2CNT4) 및 LOF 해제신호(RECV_LOF), 상기 FAS검출부(310)의 LOF 인에이블(LOF_ENA), 상기 서브프레임카운터(331)의 카운트 값(CNT61[5:0]), 및 상기 프레임 시작 펄스 발생부(333)의 카운트 값(CNT6[2:0])을 입력받아, 리프레임된 데이터의 프레임 시작 펄스 위치에서 '11111010'이 연속적으로 4번 이상 발생하는지를 카운트하여 그 결과값(CNT4[1:0])을 상기 LOF 해제부(350)로 출력한다.

<140> 상기 제1출력부(336)는 상기 제1카운팅부(335)의 카운트값(CNT4[1:0])에 따라 LOF 선언 신호(DECL_LOF)를 상기 LOF 결정부(370, 도 7참조)로 출력한다.

<141> 이 때, 상기 LOF 선언 신호(DECL_LOF)값은 입력되는 리프레임 데이터가 연속해서 4프레임 이상 프레임시작펄스 위치에서 '11111010'값이 비정상적으로 입력되는 경우 LOF가 선언됨을 알리고, 반면에 연속해서 4프레임이 되기 전에 '11111010'값이 정상적으로 입력되는 경우 LOF가 아닌 상태가 유지됨을 알린다.

<142> 도 10은 도 7의 LOF 해제부(350)에 대한 상세 블록도로서, LOF 해제부(350)는 제2 카운팅부(351)와 제2출력부(353)로 구성된다.

<143> 상기 제2카운팅부(351)는 리프레임된 데이터(REFR_DATA[7:0])와, 상기 FAS검출부(310)의 LOF해제 인에이블(RECV_ENA), 상기 LOF선언부(330)의 LOF 선언신호(DECL_LOF), 카운트 값(CNT61[5:0], CNT6[2:0], CNT4[1:0])을 입력받아, LOF 선언상태가 유지되는 동안 리프레임된 데이터의 프레임 시작 펄스 위치에서 '11111010'이 연속적으로 3번 이상 발생하는지를 카운트하여 그 결과값(2CNT4[1:0])을 출력한다.

<144> 상기 제2출력부(353)는 상기 제2카운팅부(351)의 카운트 값(2CNT4[1:0])에 따라 LOF 해제 신호(RECVL_LOF)를 출력한다. 이 때, 상기 LOF 해제 신호(RECVL_LOF)값

은 LOF 선언상태가 유지되는 동안에 연속해서 3프레임 이상 프레임 시작 펄스 위치에서 '11111010'값이 정상적으로 입력되는 경우 LOF가 해제됨을 알리고, 반면에 3프레임이 되기 전에 '11111010'값이 비정상적으로 입력되는 경우 LOF가 유지됨을 알린다.

<145> 상기 도 7, 8 및 9에서 설명된 바와 같이, 본 LOF 장치는 리프레임된 데이터를 입력받고 그 프레임의 시작점마다 프레임 시작 펄스(FRM_START)를 발생시켜서 그 때 들어오는 첫 바이트 즉, FAS의 처음 8비트를 연속해서 검사하여 LOF 선언 및 LOF 해제를 자동적으로 검출하는 것이다.

<146> 본 발명의 더 바람직한 실시예에서, 리프레임과 프레임 손실 검사를 동시에 수행하는 장치를 구현할 수 있다.

<147> 도 11은 본 리프레머(100)와 본 LOF 검사장치(300)를 연결하여 하나의 칩(1000)으로 구현한 블록도를 도시하고 있다.

<148> 도 11에서, 본 단일 칩(1000)은 상기 리프레머(100)와 상기 LOF 검사장치(300)는 리셋신호(RST)와 17M클럭(CLK17M)을 제공받는다.

<149> 상기 리프레머(100)는 E4 데이터(I_CH1_DATA[7:0])를 입력받아 E4 데이터의 FAS('111110100000')를 이용하여 프레임 시작점을 추출하고 그 프레임 시작점으로부터 정상적으로 리프레임된 데이터(O_CH1_DATA[7:0])를 출력한다.

<150> 상기 LOF 검사 장치(300)는 상기 리프레임된 데이터(O_CH1_DATA[7:0])의 프레임 시작점마다 들어오는 데이터가 FAS의 처음 8비트('11111010')인지 아닌지를 조사하여 LOF선언 또는 LOF해제를 알리는 LOF 상태신호(LOF_STATE)를 출력한다. 이 LOF상태 신호는 사용자 혹은 감시보드로 전달된다. 따라서, 에러발생을 즉시 감지할 수 있어 시스템

의 안정화를 이룰 수 있게된다.

- <151> 본 발명의 더 바람직한 실시예에서, 직렬형태의 입력 데이터 또는 병렬형태의 입력 데이터에 대한 리프레임과 프레임 손실 검사를 동시에 수행하는 직/병렬 데이터 리프레머 및 LOF 검사장치를 구현할 수 있다. 이러한 본 장치는, 입력 및 출력형태를 사용자의 선택에 의해 직렬데이터(즉, 139.264Mbps) 또는 병렬데이터(즉, 17.408Mbps)로 자유롭게 선택할 수 있다.
- <152> 예를 들어, 리프레머 및 LOF 검사장치가 17M급 병렬데이터를 처리하도록 설계된 경우, 139M급 직렬데이터가 인터페이스로 사용되는 시스템에 적용되기 위해서는, 리프레머 및 LOF 검사장치 칩 외부에는 직렬(병렬)/병렬(직렬) 변환이 가능한 회로 또는 로직이 추가로 구비되어야만 하는 문제가 있다.
- <153> 이러한 문제를 해결하기 위해 본 장치는, 리프레머 및 LOF 검사장치의 입력단과 출력단에 각각 직/병렬 변환로직과 병/직렬 변환로직을 구비하여 단일 칩화 함으로써, 데이터 인터페이스에 구애받지 않고 사용할 수 있다.
- <154> 이하, 도 12내지 도14를 통해 본 실시예에 따른 직병렬 겸용 리프레머 및 LOF 검사장치의 구성 및 작용을 설명한다.
- <155> 도 12는 본 발명에 따른 직병렬 데이터 겸용 리프레머 및 LOF검사 장치에 대한 단일 칩(2000) 회로도이다.
- <156> 도 12에서, 본 칩(2000)은 직렬/병렬 변환부(400), 입력선택부(450), 리프레머(100), LOF 검사부(300), 병렬/직렬 변환부(500), 및 출력선택부(550)로 구성된다.
- <157> 상기 직렬/병렬 변환부(400)는 139M 클럭(CLK139M)에 따라 139M 직렬 데이터

(139M_I_SD)를 입력받아 17M 클럭(CLK17M)과 17M 병렬 데이터(17M_O_PD[7:0])로 변환하여 출력한다.

<158> 상기 입력선택부(450)는 제1선택신호(SEL1)에 따라 외부로부터 들어오는 17M 병렬 데이터(I_CH1_DATA[7:0])와 상기 변환된 17M 병렬 데이터(17M_O_PD[7:0]) 중 하나를 선택하여 상기 리프레머(100)로 제공한다.

<159> 상기 리프레머(100)는 상기 분주된 17M 클럭(CLK17M)에 따라 상기 입력선택부(450)에서 출력된 17M 병렬 데이터(17M_O_PD[7:0])를 입력받아 리프레임된 데이터(REFR_DATA[7:0])를 출력한다.

<160> 상기 LOF 검사부(300)는 상기 분주된 17M 클럭(CLK17M)에 따라 상기 리프레임된 데이터(REFR_DATA[7:0])를 입력받아 연속적인 프레임 정상 여부를 검사하여 LOF상태 신호(LOF_STATE)를 출력한다.

<161> 상기 병렬/직렬 변환부(500)는 139M 클럭(CLK139M)에 따라 상기 리프레임된 병렬 데이터(REFR_DATA[7:0])를 입력받아 직렬 데이터(139M_O_SD)로 변환시켜 출력한다.

<162> 상기 출력선택부(550)는 제2선택신호(SEL2)에 따라 상기 리프레임된 데이터(REFR_DATA[7:0])와 상기 139M급 직렬 데이터(139M_O_SD) 중 하나를 선택하여 최종 출력데이터(OUT_DATA)를 외부장치로 제공한다.

<163> 도 13은 도 12의 직렬/병렬 변환부(400)에 대한 상세 블록도로서, 직/병렬바이트변환기(410)와 클럭분주기(420)와 비트매핑기(430)와 재타이밍기(440)로 구성된다.

<164> 상기 직/병렬바이트변환기(410)는 139M클럭(CLK139M)에 따라 139M 직렬 데이

터(139M_I_SD)를 시프팅시켜 바이트단위로 변환하여 병렬 데이터(I_PD[7:0])로 출력한다.

<165> 상기 클럭분주기(420)는 3비트 8카운터로 구현되고, 139M클럭(CLK139M)을 카운트하여 그 카운트 비트를 출력한다. 이때, 카운트 비트중 최상위비트(MSB)는 다음단의 재타이밍부(440)에서 17M클럭(CLK17M)으로 사용하고, 3개의 카운트 비트는 모두 AND게이트(421)를 통해 논리곱 연산하여 17M 인에이블 신호(17M_ENA)를 발생시키는 데 사용된다.

<166> 상기 비트매핑기(430)는 상기 직병렬바이트변환기(410)로부터 병렬 데이터(I_PD[7:0])를 입력받아 17M인에이블 신호(17M_ENA) 및 139M클럭(CLK139M)에 따라 소정의 비트 매핑 규칙에 따라 매핑된 병렬 데이터(O_PD[7:0])를 출력한다.

<167> 예컨대, 비트매핑규칙은 17M_ENA='1(하이)'일 때 139M클럭(CLK139M)의 동기 에 맞춰서 하기와 같이 수행된다. 즉, I_PD[0]=> O_PD[7], I_PD[1]=> O_PD[6], I_PD[2]=> O_PD[5], I_PD[3]=> O_PD[4], I_PD[4]=> O_PD[3], I_PD[5]=> O_PD[2], I_PD[6]=> O_PD[1], I_PD[7] => O_PD[0] 이다.

<168> 상기 재타이밍기(440)는 상기 클럭분주기(420)로부터 17M클럭(CLK17M)을 입력받아, 상기 비트매핑기(430)로부터 매핑된 병렬 데이터(O_PD[7:0])를 17M클럭에 동기된 데이터(17M_O_PD[7:0])로 출력한다.

<169> 도 14는 도 12의 병렬/직렬 변환부(500)에 대한 상세 블록도로서, 선택신호 발생부(510)와 17M데이터 선택부(520)와 재타이밍부(530)로 구성된다.

<170> 상기 선택신호 발생부(510)는 8 카운터를 이용하여 139M클럭신호(CLK139M)를

카운트하고 그 값을 선택신호로 발생한다.

- <171> 상기 17M데이터 선택부(520)는 상기 리프레머(100)로부터 리프레임된 병렬데이터 (REFR_DATA[7:0])와 상기 선택신호 발생부(510)로부터 선택신호를 입력받아, 선택신호에 따라 리프레임된 병렬데이터(REFR_DATA[7:0])중 한 비트를 선택하여 직렬데이터 (170)로 출력한다. 비트선택순서는 예컨대, 선택신호가 '000' 일 때 REFR_DATA[7], '001' 일 때 REFR_DATA[6], '010'일 때 REFR_DATA[5], '011'일 때 REFR_DATA[4], '100' 일 때 REFR_DATA[3], '101'일 때 REFR_DATA[2], '110'일 때 REFR_DATA[1], '111' 일 때 REFR_DATA[0]를 순서대로 선택하여 직렬데이터(170)로 출력한다.
- <172> 상기 재타이밍부(530)는 상기 17M데이터 선택부(520)로부터 직렬데이터(170)를 입력받아 139M 클럭신호(CLK139M)에 동기를 맞추어 최종적으로 리프레임된 직렬데이터 (139M_O_SD)를 출력한다.
- <173> 상기 도 12, 13 및 14에서와 같이, 본 장치는 리프레머(100)와 LOF검사장치(300)의 입력측과 출력측에 직병렬변환부(400)/입력선택부(450)와 병직렬변환부(500)/출력선택부(550)를 각각 구비함으로써, 직렬 또는 병렬 데이터에 관계없이 사용자의 정의된 인터페이스에 따라 자유롭게 입출력을 처리할 수 있는 이점이 있다. 또한, 내부적으로 리프레머 (100) 및 LOF 검사장치(300)는 병렬데이터를 처리하도록 설계됨으로써, 회로내의 열 발생 및 전력 소모량을 최소화하는 이점이 있다.
- <174> 이상의 본 발명은 상기에 기술된 실시예들에 의해 한정되지 않고, 당업자들에 의해 다양한 변형 및 변경을 가져올 수 있으며, 이는 첨부된 청구항에서 정의되는 본 발명의 취지와 범위에 포함된다.

【발명의 효과】

- <175> 이상에서 살펴본 바와 같이, 본 발명의 리프레머는 부적절한 시작점을 갖고서 들어오는 입력데이터들의 프레임 오류를 사전에 방지함으로써, 정상적인 신호 처리를 도모함은 물론, 전체적인 시스템 안정화를 향상시킬 수 있다.
- <176> 본 발명은 ASIC(Application Specific IC)과 관련되어 진행중인 수출형 2.5G SDH 장비에 사용 가능하며, 북미 유럽의 E4(139.264Mbps) 신호를 사용하는 나라의 모든 전송 장비에 사용 가능하다. 더욱이 하나의 칩으로 E4의 4채널을 커버할 수 있으므로 종속적으로 여러 채널이 동시에 필요한 622Mbps 급 이상의 E4 신호 사용장비에 더욱 효과적으로 적용될 수 있다. 또한, 만약 622Mbps 장비에 E4가 보조적으로 적용된다면 각각의 E4 보드(4장)에 들어가야할 리프레밍 칩을 한 보드에만 장착하여 사용할 수 있게됨에 따라 부품의 적절한 배치와 공간의 활용이 용이하고 보드의 사이즈도 좀더 줄일 수 있게 되며 생산 원가도 낮출 수 있다. 본 발명은 E4이외도 E4와 동일 또는 유사한 프레임 구조를 갖는 디지털 계위 신호(예컨대, E3)에서도 동일 또는 유사하게 적용할 수 있다.
- <177> 한편, 본 발명의 LOF 검사장치는 리프레임된 데이터를 연속적으로 감시하여 LOF 선언 및 해제가 자동적으로 실행되도록 설계됨으로써, 사용자가 에러 발생시 즉시 감지하고 대처할 수 있어 시스템의 안정화를 이룰 수 있다.
- <178> 또한, 본 발명의 리프레머 및 LOF검사장치는 사용자의 선택에 따라 병렬 혹은 직렬로 프로세스가 가능하게 하였으며, 특히 내부적으로는 병렬로 동작하도록 함으로써 회로내의 열발생 및 전력소모량을 최소화한 효과가 있다.
- <179> 이러한 본 발명의 각각의 구성블록은 VHDL과 같은 고급 하드웨어 설계 언어로 구성

되어 어떤 회로의 설계시에도 라이브러리화가 가능하고, 따라서, 다른 형태나 다른 회로에 적용할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

디지털 계위 신호의 프레임 데이터에서 정의된 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 정상적인 프레임 형태로 리프레임된 데이터를 출력하는 프레임 필터링 및 재정렬수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 2】

제 1항에 있어서, 상기 프레임 필터링 및 재정렬수단은,

전송망으로부터 수신되는 디지털 계위 구조의 프레임 데이터를 지정된 클럭신호에 따라 순차적으로 시프팅시켜 프레임 정렬신호 검사를 위한 바이트 단위 프레임 데이터를 추출하고, 상기 추출된 바이트 단위 프레임 데이터의 각 비트들을 순서대로 일정 비트씩 매핑시켜 비트 단위의 프레임 정렬 신호 검사 패턴을 추출하는 입력 추출수단;

상기 입력 추출수단에서 출력되는 상기 비트 단위의 프레임 정렬 신호 검사 패턴을 입력으로 받아, 프레임 정렬 신호가 시작되는 프레임 시작점을 검출하는 프레임 시작점 검출수단;

상기 프레임 시작점 검출값에 의존하여, 비정상적인 프레임 데이터를 카운트하기 위한 카운터 초기값을 설정하고, 해당 카운터 구동을 위한 제어신호를 생성하는 초기값 설정수단;

상기 제어신호 및 초기값에 따라 카운트를 시작하여, 프레임 시작점으로부터 이후 몇 개의 비트가 비정상적인 데이터인지를 카운트하는 카운팅 수단;

상기 프레임 시작점 검출값 및 상기 카운트 결과에 따라 입력 데이터를 정렬하여, 부적절한 시작점을 갖는 프레임 데이터가 제거된, 리프레임된 데이터를 출력하는 프레임 정렬수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 3】

제 2항에 있어서, 상기 입력 추출수단은,

소정 비트 카운터와 시프트레지스터를 이용하여 소정 바이트(N) 단위로 들어오는 디지털 계위 구조의 프레임 데이터를 시프팅시켜 N+1개의 병렬 데이터를 순차적으로 출력하는 시프팅수단;

상기 병렬 데이터 중 상위 N개 데이터를 상위 비트부터 차례로 매핑시켜가면서, 상기 프레임 정렬 신호의 비트 길이와 동일한 길이를 갖는 프레임 정렬신호 검사패턴을 형성하는 검사패턴 매핑수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 4】

제 3항에 있어서, 상기 검사패턴 매핑수단은,

디지털 계위 구조의 프레임 데이터를 일정 바이트(N) 단위로 입력받아, 소정 비트 카운터를 사용하여 지정된 클럭신호에 따라 한 클럭씩 입력 데이터를 시프팅 시키면서 순차적으로 소정 개수(N)의 바이트 데이터를 병렬로 출력하는 바이트 시프팅수단;

상기 바이트 시프팅수단의 출력을 지정된 규칙에 따라 일정 비트씩 매핑시켜 비트별로 그룹화된 다수개의 검사패턴을 형성하여 출력하는 비트 그룹핑수단;

상기 비트 그룹핑수단에서 출력되는 다수개 검사패턴을 매 검사 주기마다 선택적으로 출력하는 검사패턴 선택 출력수단을 구비하는 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 5】

제 2항에 있어서, 상기 프레임 시작점 검출수단은

상기 입력 추출수단의 검사패턴을 입력으로 받아서, 정의된 프레임 정렬 신호를 검출할 때까지 시작점 검출 동작을 반복적으로 수행하고, 만약 프레임 정렬신호가 검출되면, 프레임 정렬신호가 시작되는 비트를 지시하기 위하여, 입력 데이터의 비트 순서에 따라 프레임 시작점 검출(DETEC)값을 결정하고,

상기 프레임 시작점 검출값은 프레임 정렬신호가 검출된 후로, 리셋신호가 입력되거나 전원이 오프될때까지 계속 유지되는 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 6】

제 1항에 있어서,

상기 디지털 계위 신호의 프레임 구조를 n 배 확장시켜 n 개의 채널로 다중화시킨 복수개의 다중 채널에, 각각 복수개의 프레임 필터링 및 재정렬수단을 병렬구조로 배치하여, 복수개의 다중 채널을 갖는 동기식 수송모듈 STM- n 급 신호를 동시에 처리하는 단일칩으로 구성한 것을 특징으로 하는 디지털 계위 구조의 리프레머.

【청구항 7】

제 1항에 있어서,

전송망으로부터 들어오는 직렬 형태의 입력 데이터를 병렬 데이터로 변환하고, 그 변

환된 병렬 데이터와 병렬 형태로 들어오는 디지털 계위신호의 프레임 데이터 중의 하나를 선택 입력받는 직/병렬 변환 및 입력 선택수단;

상기 리프레임된 데이터를 직렬 형태로 변환하고, 그 변환된 직렬 데이터와 상기 병렬 형태의 리프레임된 데이터 중의 하나를 선택 출력하는 병/직렬 변환 및 선택 출력수단을 더 포함하는 것을 특징으로 디지털 계위 구조의 리프레머.

【청구항 8】

디지털 계위 신호의 리프레임된 데이터에서 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실 해제 상태를 각각 설정하여 각 설정상태 표시신호를 출력하는 LOF 선언 및 해제수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 프레임손실 검사장치.

【청구항 9】

제 8항에 있어서, 상기 LOF 선언 및 해제수단은,

상기 리프레임된 데이터의 프레임 시작 펄스 위치에서 입력되는 처음 소정 비트를 조사하여, 상기 프레임 정렬신호의 처음 소정 비트 값인지 아닌지의 여부에 따라 LOF 해제 인에이블신호 또는 LOF 선언 인에이블신호를 각각 생성하여 출력하는 프레임 정렬신호(FAS) 검출수단;

LOF 해제상태에서, 상기 LOF 선언 인에이블신호에 의해, 상기 리프레임된 데이터의 프레임 시작 펄스 위치에서 입력되는 처음 소정 비트를 조사하여, 상기 프레임 정렬신호의 처음 소정 비트값과 동일하지 않은 값이 일정 프레임 이상 계속해서 입력되면, LOF 선언신호를 출력하는 LOF 선언수단;

LOF 선언상태에서, 상기 LOF 해제 인에이블신호에 의해, 상기 리프레임된 데이터의 프레임 시작 펄스 위치에서 입력되는 처음 소정 비트를 조사하여, 상기 프레임 정렬신호의 처음 소정 비트값과 동일한 값이 일정 프레임 이상 계속해서 입력되면, LOF 해제신호를 출력하는 LOF 해제수단; 및

상기 LOF 선언신호와 상기 LOF 해제신호를 입력받아, 현재 입력되는 리프레임 데이터의 최종적인 LOF 상태를 표시하기 위한 LOF 상태신호를 출력하는 LOF 결정수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 프레임 손실 검사장치.

【청구항 10】

제 9항에 있어서, 상기 LOF 선언수단은,

지정된 클럭신호에 따라 단위 프레임중 서브프레임 길이(단위 프레임의 column 길이)를 카운트하는 서브프레임 카운터부;

상기 서브프레임 카운터부의 카운트 결과를 입력받아 서브프레임 개수(단위 프레임의 row 길이)를 카운트하고, 상기 column 카운트 결과와 상기 row 카운트 결과의 비트값을 논리 조합하여, 매 프레임마다 프레임 시작 펄스 신호를 발생시켜 상기 FAS 검출수단으로 제공하는 프레임 시작펄스 발생부;

상기 리프레임된 데이터와, 상기 LOF 해제수단의 프레임 카운트 결과 및 LOF 해제신호와, 상기 FAS 검출수단의 LOF 선언 인에이블신호와, 상기 서브프레임 카운터부의 카운트 결과, 및 상기 프레임 시작펄스 발생부의 카운트 결과를 입력받아, 상기 리프레임된 데이터의 프레임 시작 펄스 위치에서 프레임 정렬신호의 처음 소정비트와 동일한 값이 연속적으로 일정횟수 이상 발생하는 지를 카운트하여 그 결과를 LOF 해제수단으로 출력하는 제 1카운

팅부;

상기 제 1카운팅부의 카운트 결과값에 따라 LOF 선언신호를 생성하여 출력하는 제 1 출력부를 포함하는 것을 특징으로 하는 디지털 계위 구조의 프레임 손실 검사장치.

【청구항 11】

제 9항에 있어서, 상기 LOF 해제수단은,

상기 리프레임된 데이터와, 상기 FAS 검출수단의 LOF 해제 인에이블신호와, 상기 LOF 선언수단의 카운트 결과 및 LOF 선언신호를 입력받아, LOF 선언상태가 유지되는 동안 상기 리프레임된 데이터의 프레임 시작 펄스 위치에서 입력되는 처음 소정비트가, 프레임 정렬신호의 처음 소정 비트값과 동일한 값이 연속적으로 일정 횟수 이상 발생하는 지를 카운트 하는 제 2카운팅부;

상기 제 2카운팅부의 카운트 결과값에 따라 LOF 해제 신호를 출력하는 제 2출력부를 포함하는 것을 특징으로 하는 디지털 계위 구조의 프레임 손실 검사장치.

【청구항 12】

디지털 계위 신호의 프레임 데이터에서 정의된 프레임 정렬 신호(FAS)를 이용하여 입력 데이터의 프레임 시작점을 검출하고, 상기 프레임 시작점 검출값에 의존하여 프레임 데이터 손실에 의한 부적절한 시작점을 갖는 입력 데이터를 제거하여서, 정상적인 프레임 형태로 리프레임 처리하여 출력하는 프레임 필터링 및 재정렬수단;

상기 리프레임된 데이터로부터 프레임 정렬 신호(FAS)를 재검출하여 상기 리프레임된 데이터의 정상여부를 체크하고, 그 체크 결과에 따라 프레임 손실 상태 또는 프레임 손실

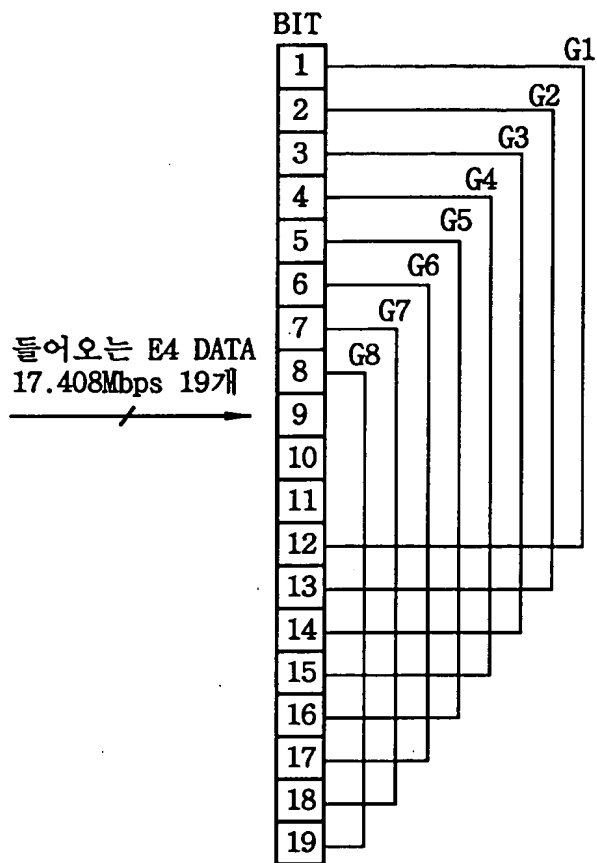
해제 상태를 각각 설정하여 각 설정상태 표시신호를 발생하는 LOF 선언 및 해제수단을 포함하는 것을 특징으로 하는 디지털 계위 구조의 리프레머 및 프레임 손실 검사장치.

【도면】

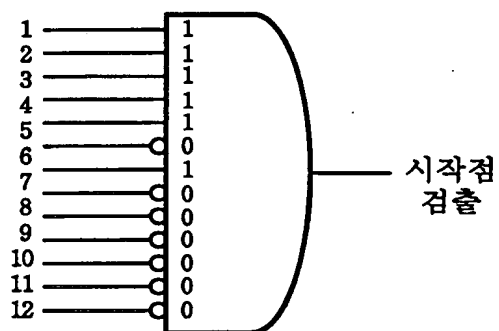
1a

FRAME ALIGNMENT SIGNAL 111110100000												AIS		Z		TRIBUTARY INFORMATION			
C11	C21	C31	C41	TRIBUTARY INFORMATION															
C12	C22	C32	C42	TRIBUTARY INFORMATION															
C13	C23	C33	C43	TRIBUTARY INFORMATION															
C14	C24	C34	C44	TRIBUTARY INFORMATION															
C15	C25	C35	C45	S1	S2	S3	S4	TRIBUTARY INFORMATION											
1	2	3	4	5	6	7	8	9	488										

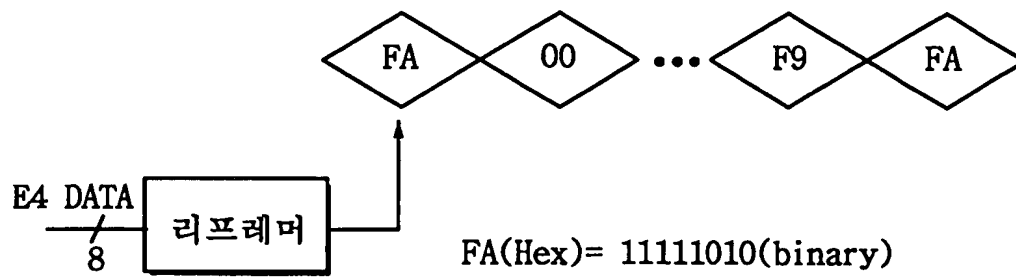
【도 1b】



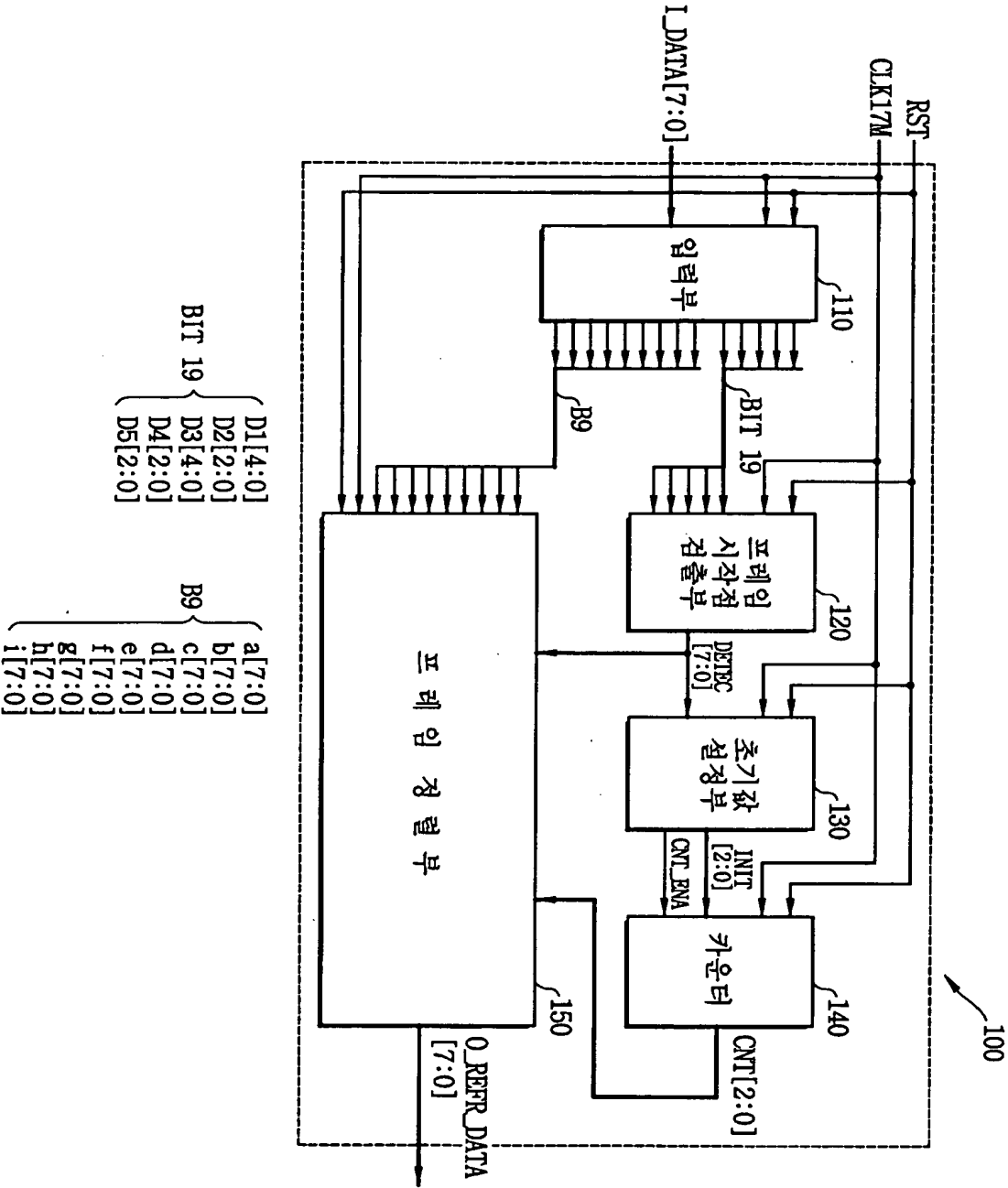
【도 1c】



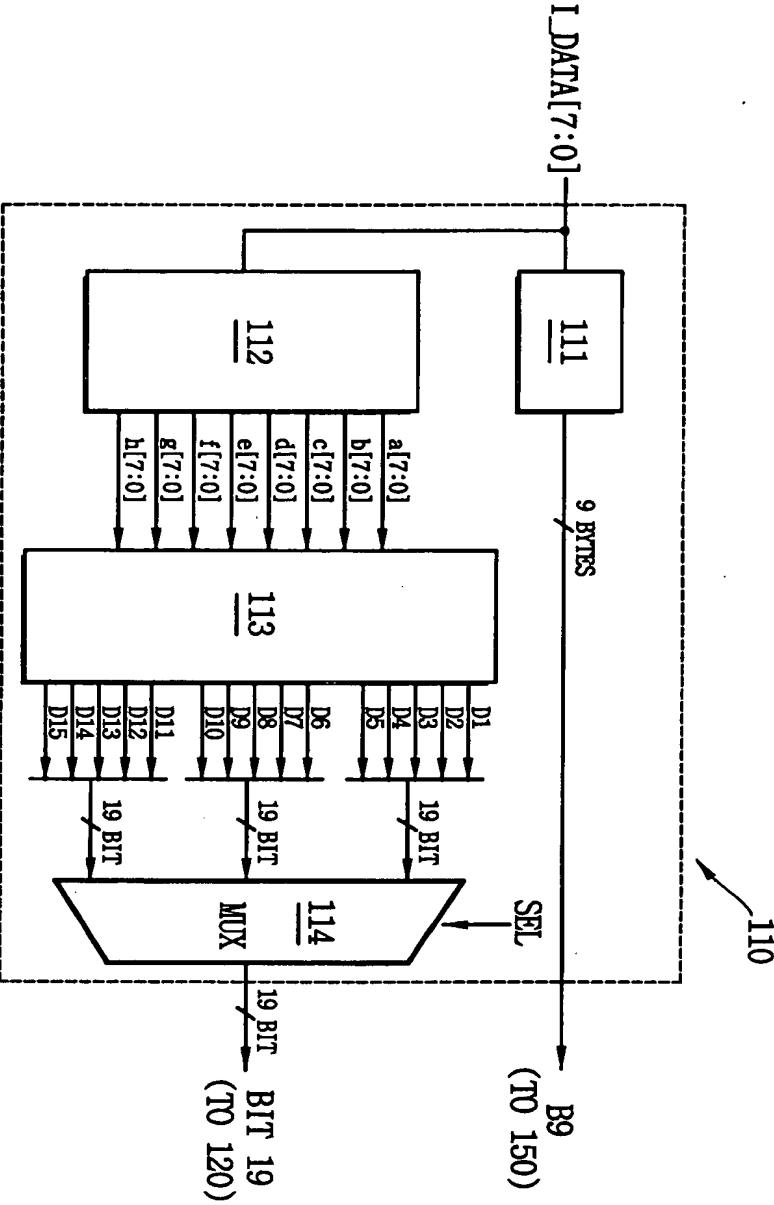
【도 1d】



【도 2】



【図 3a】



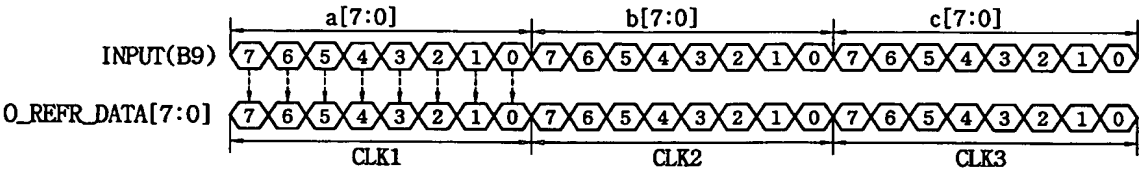
【도 3b】

병렬 출력 데이터(B9)	1주기	2주기	3주기
a[7:0]	11101100	00101011	10110011
b[7:0]	00110010	.	.
c[7:0]	01010101	.	.
d[7:0]	10101010	.	.
e[7:0]	00001111	.	.
f[7:0]	10100000	.	.
g[7:0]	00000000	.	.
h[7:0]	01100101	.	.
i[7:0]	00101011	10110011	.

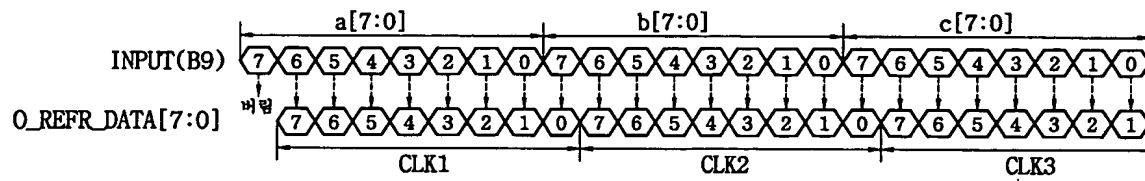
【도 4】

입력비트 순서	FAS 검출	DETEC[7:0]	INIT[2:0]	CNT_ENA	카운터(140) 출력 CNT[2:0]
G1	HIGH	10000000	000	HIGH	000, 001, 010, 011, 100, 101, 110, 111, 000...
G2	HIGH	01000000	001	HIGH	001, 010, 011, 100, 101, 110, 111, 000, 001...
G3	HIGH	00100000	010	HIGH	010, 011, 100, 101, 110, 110, 000, 001, 010...
G4	HIGH	00010000	011	HIGH	011, 100, 101, 110, 111, 000, 001, 010, 011...
G5	HIGH	00001000	100	HIGH	100, 101, 110, 111, 000, 001, 010, 011, 100...
G6	HIGH	00000100	101	HIGH	101, 110, 111, 000, 001, 010, 011, 100, 101...
G7	HIGH	00000010	110	HIGH	110, 111, 000, 001, 010, 011, 100, 101, 110...
G8	HIGH	00000001	111	HIGH	111, 000, 001, 010, 011, 100, 101, 110, 111...

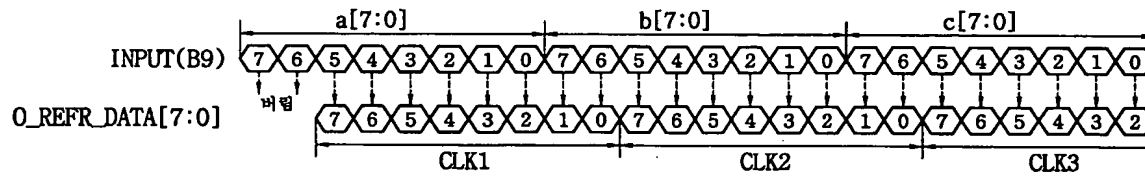
【도 5a】



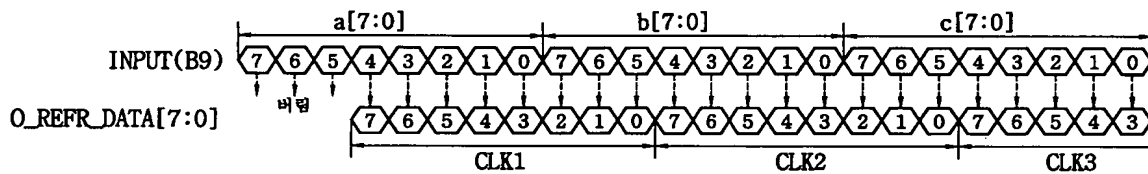
【도 5b】



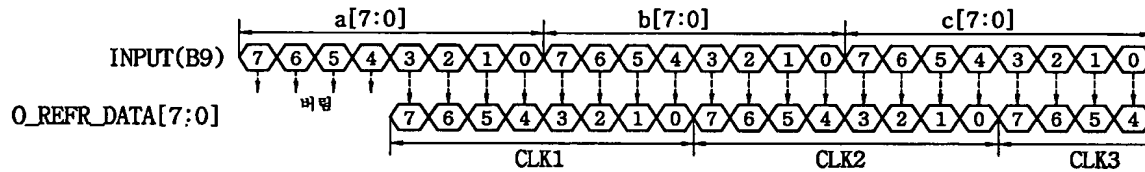
【도 5c】



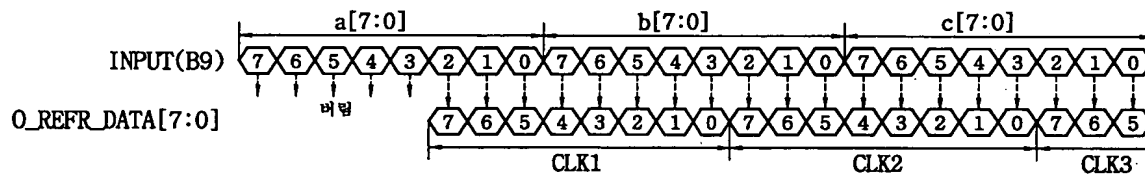
【도 5d】



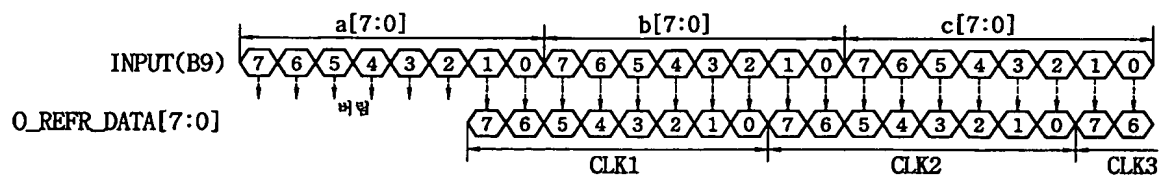
【도 5e】



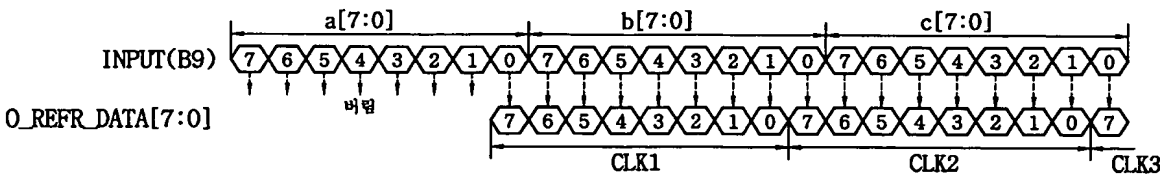
【도 5f】



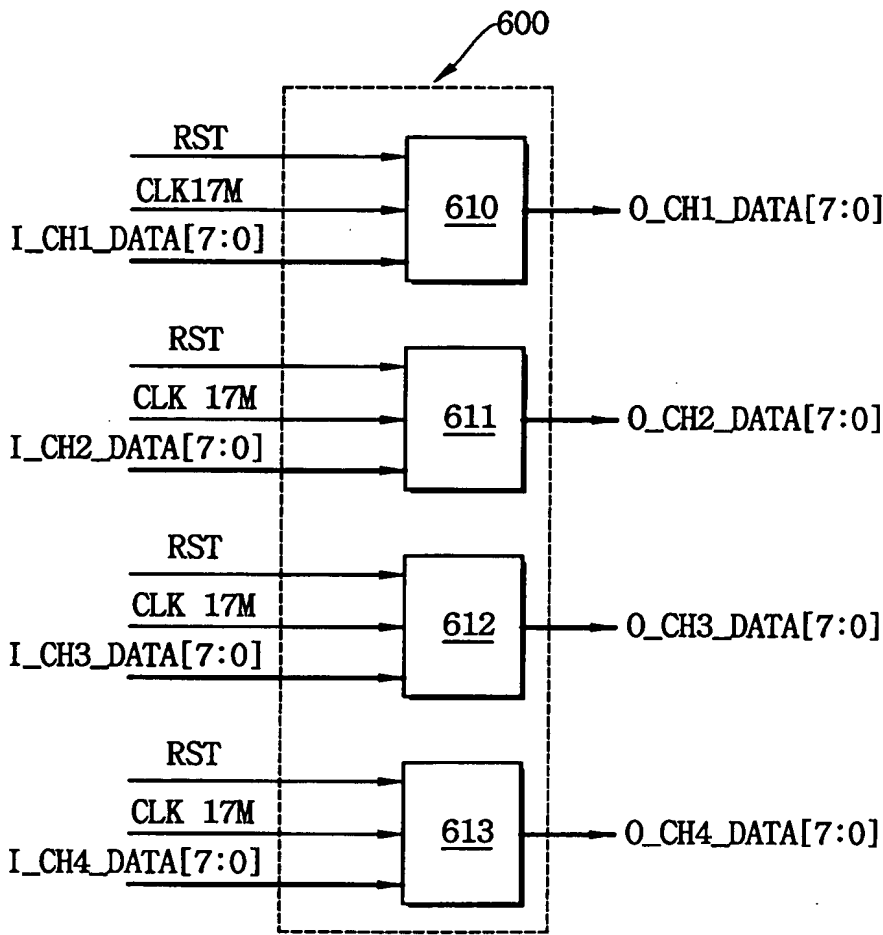
【도 5g】



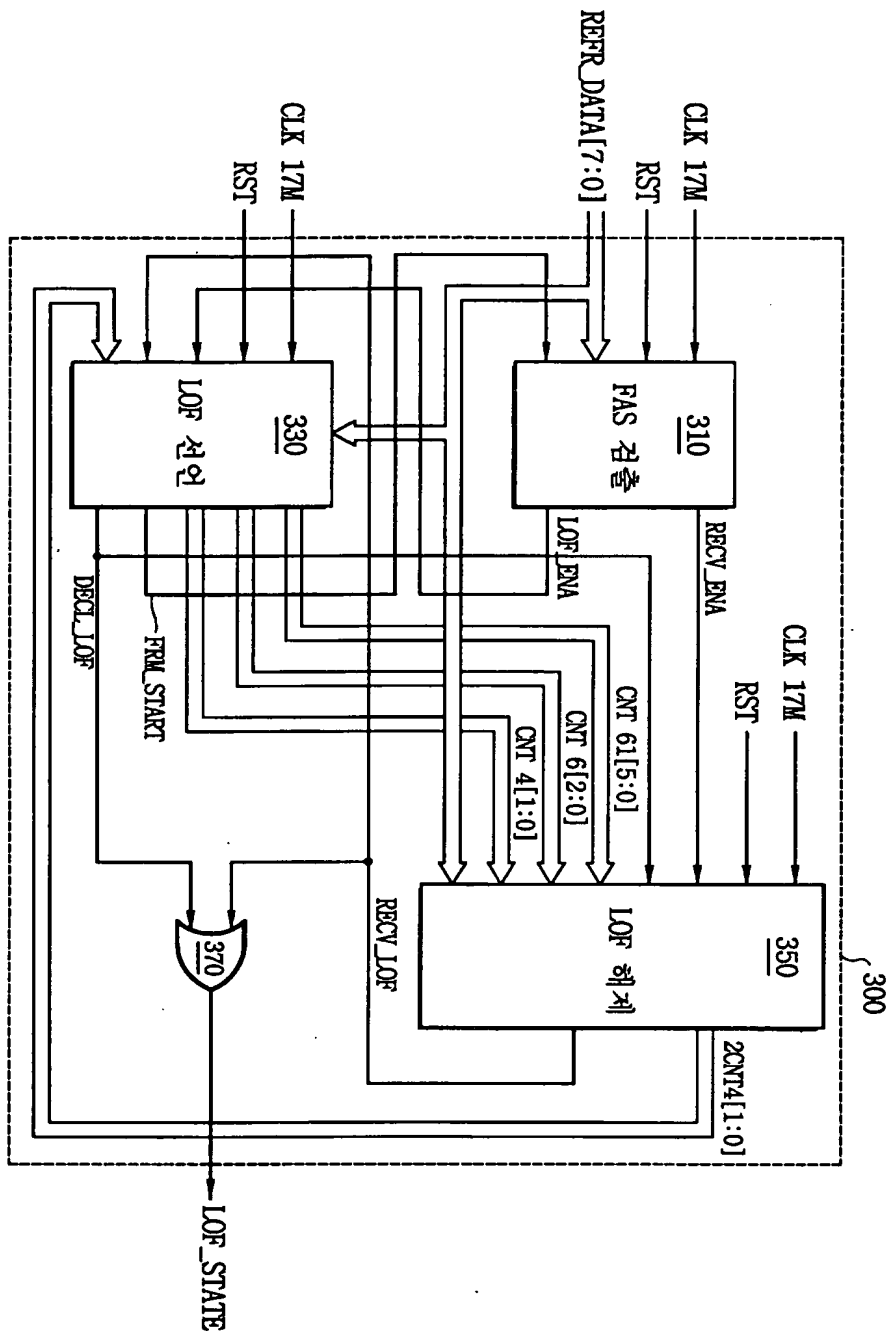
【도 5h】



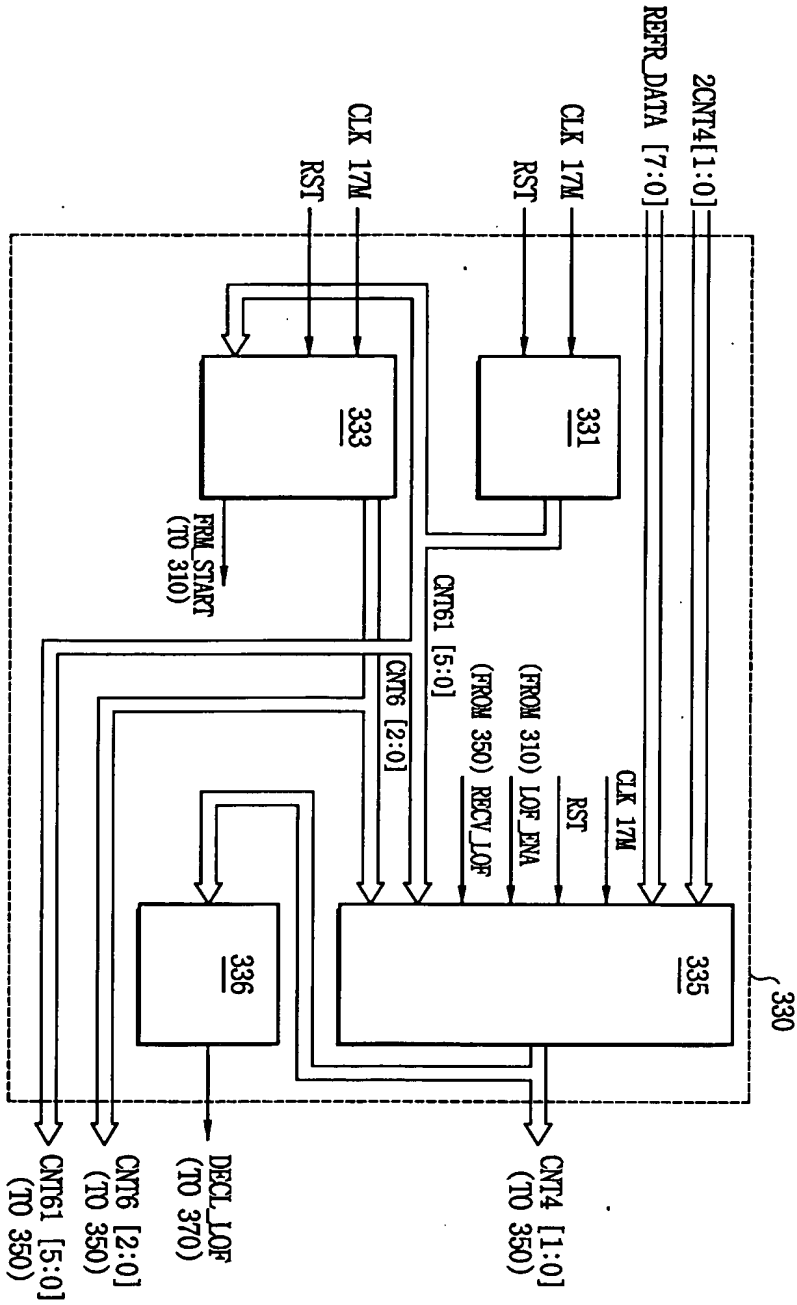
【도 6】



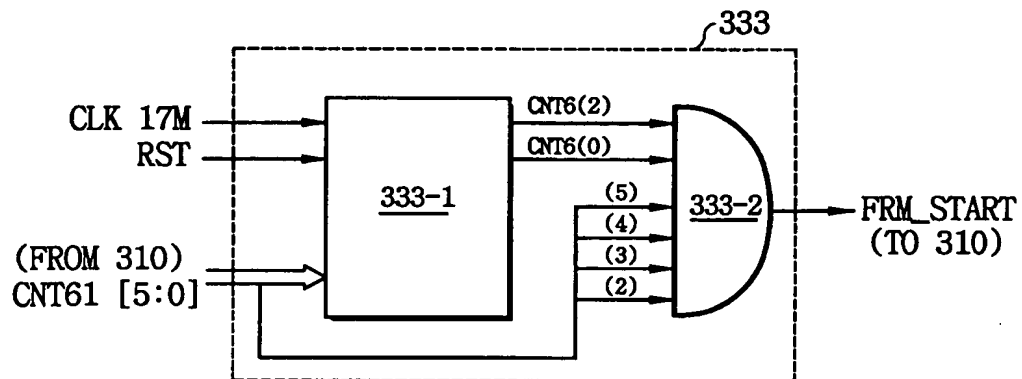
【도 7】



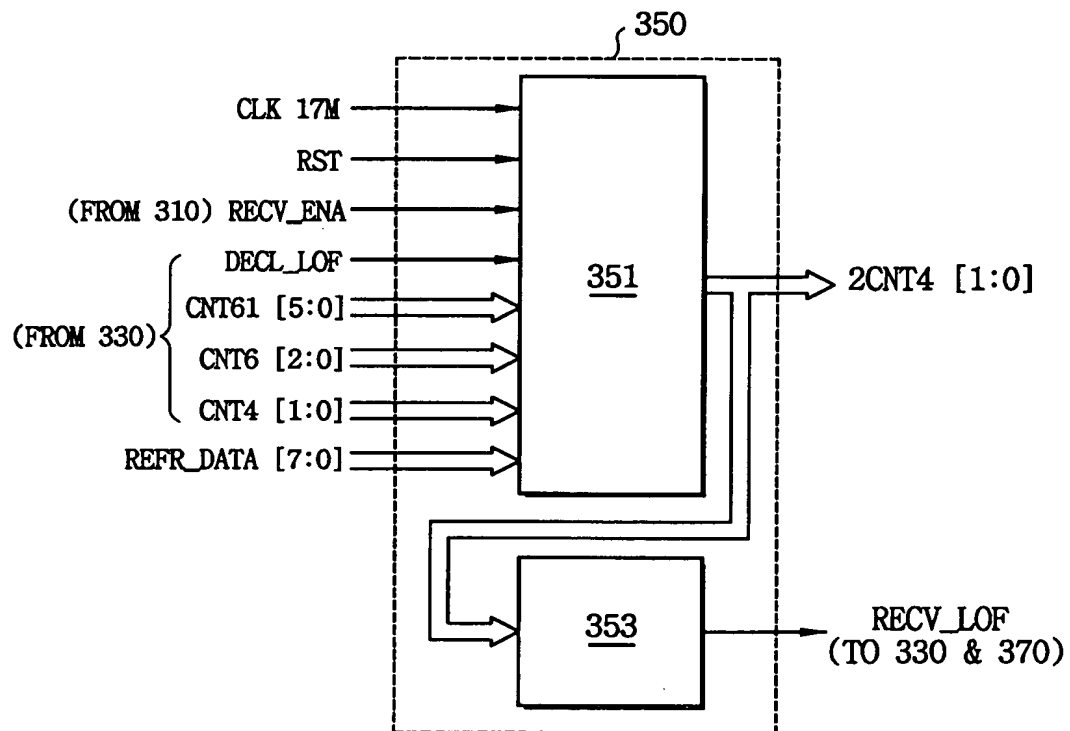
【図 8】



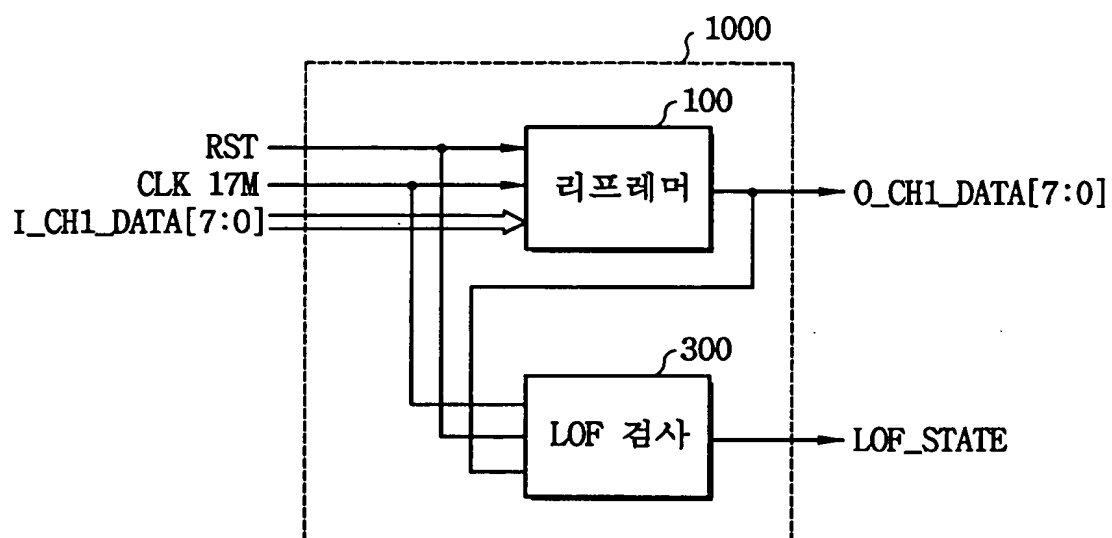
【도 9】



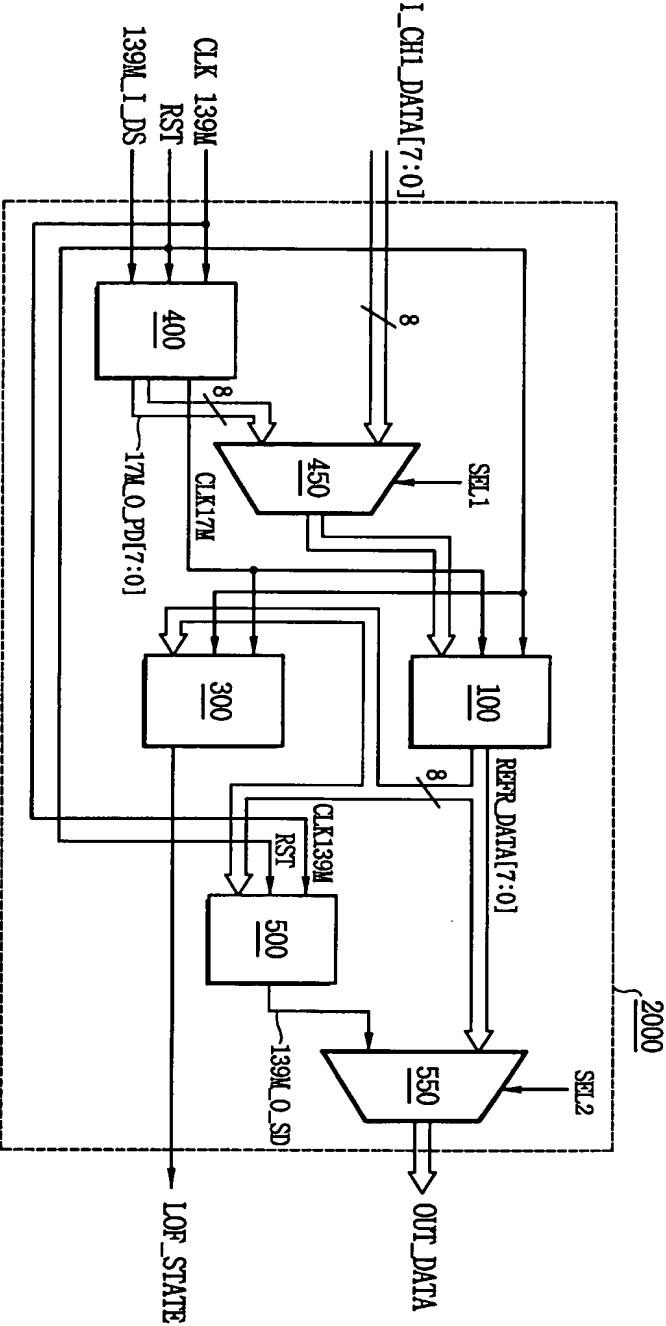
【도 10】



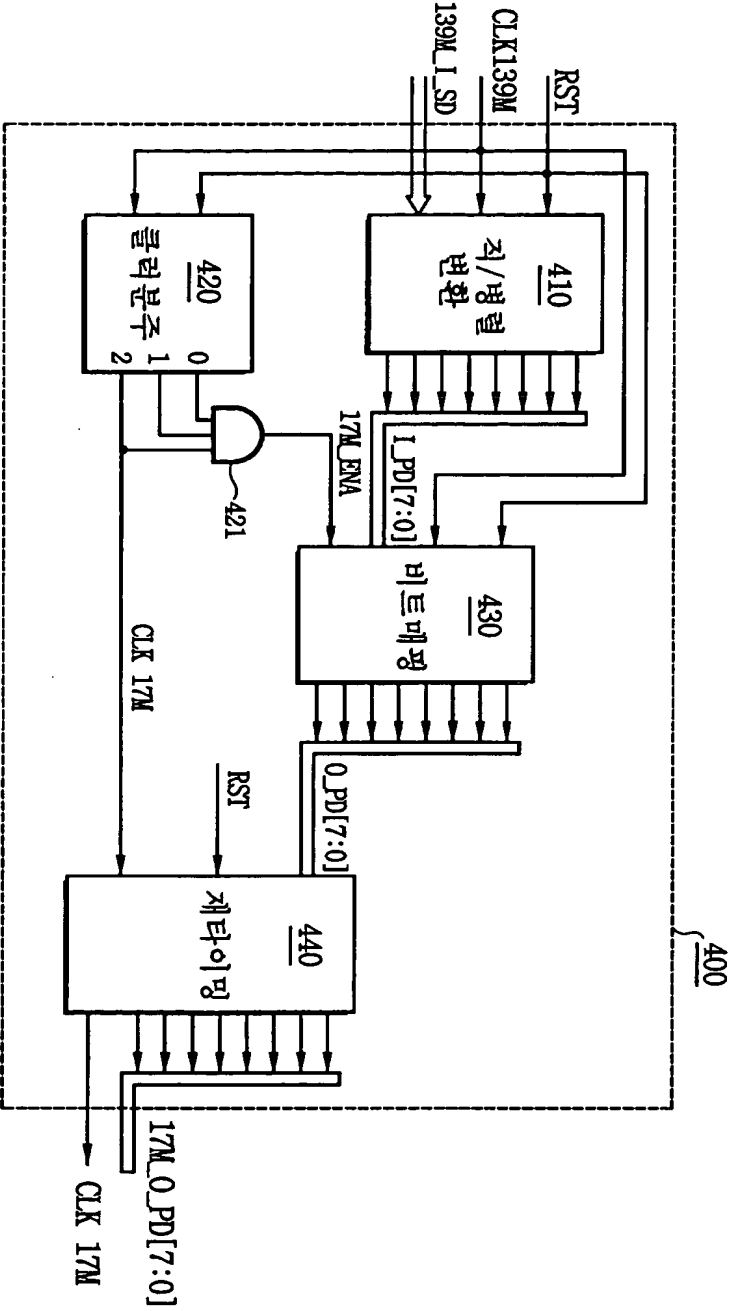
【도 11】



【図 12】



【도 13】



【도 14】

